

Plano de Estudos
AC1 – 2002/03

| Conteúdo | Material de Estudo | | | | |
|---|---------------------------|------------------------|-----------------|----------|----------------------|
| | Henessy & Patterson | Bryant & O'Hallaron | Stallings | Acetatos | Módulo TP |
| Arquitectura vs. Organização | | | 1.1, 2.2 | Aula02 | |
| Máquina de Von Neumann: • Stored Program • Organização • Tipos de instruções | 1.8 3.1, 3.2, 3.5 | | 2.1, 3.1 3.2 | Aula02 | |
| Conversão entre níveis | 3.9, A1 .. A5 | 3.2 | | Aula02 | Modulo01 |
| Estrutura de um computador | | | 1.2 | Aula03 | |
| Hierarquia de barramentos | | | 3.4 | Aula03 | |
| Balanceamento de componentes | | | 2.2 | Aula03 | |
| Arquitectura (conjunto de instruções): IA32 | | 3.3 .. 3.6.3 | | Aula04 | Modulo02 |
| Arquitectura (conjunto de instruções): MIPS32 | 3.1, 3.2, 3.3, 3.5 | | | Aula04 | Modulo02 |
| CISC vs. RISC | | 4.1 (pags.263..265) | | Aula04 | |
| Programação em <i>assembly</i> : variáveis escalares e controlo de fluxo | 3.3, 3.5, 3.6 | 3.5 .. 3.6.5 3.7.1 | | Aula05 | Modulo03 |
| Programação em <i>assembly</i> : variáveis estruturadas | 3.3, 3.5, 3.11 | 3.8 .. 3.8.3 3.9.1 | | Aula06 | Modulo04 |
| Programação em <i>assembly</i> : funções e procedimentos | 3.7, 3.10, A.6 | 3.7, 3.11 | | Aula07 | Modulo05 |
| Formatos de instruções | 3.4, 3.5, 3.8 | | | Aula08 | Modulo06 |
| Micro-arquitectura : <i>data path single cycle</i> (MIPS) | 5.1, 5.2, 5.3 | | | Aula09 | |
| Avaliação do desempenho | 2.1, 2.3, 2.7, 2.9 | | | Aula10 | Modulo07 Modulo08 |
| Avaliação do desempenho (<i>benchmarks</i>) | 2.4, 2.6, 2.7 | | | Aula11 | |
| Hierarquia da memória: conceitos, terminologia e desempenho | 7.1, 7.2, 7.3 | | | Aula12 | Modulo08 |
| Hierarquia da memória: organização da cache | 7.2, 7.3, 7.5 | | | Aula13 | |
| Input/Output | 5.6 (pag.410) 8.5, A.7 | | | Aula14 | |