



## Avaliação do desempenho

### 1. Introdução

Pretende-se que o aluno perceba quais as grandezas envolvidas na avaliação do desempenho de um processador, de que forma estas se inter-relacionam e como é que factores relacionados com a micro-arquitectura do processador e organização da memória as podem influenciar.

### 2. Avaliação do desempenho sem hierarquia da memória

1. Considere um processador com 3 classes de instruções com o CPI indicado na tabela 1. Um programador tem que seleccionar o compilador a usar para uma determinada aplicação. O número de instruções de cada classe gerado por cada um dos compiladores é apresentado na tabela 2.

Tipo de instrução	CPI
A	1
B	2
C	3

Tabela 1 – CPI por classe de instrução

Compilador	Nº instruções por classe		
	A	B	C
C1	$1 \cdot 10^6$	$3 \cdot 10^6$	$4 \cdot 10^6$
C2	$5 \cdot 10^6$	$2 \cdot 10^6$	$3 \cdot 10^6$

Tabela 2 – Nº de instruções por classe e compilador

- 1.1. Calcule, para cada um dos compiladores o nº de instruções executadas, o CPI global e o número de *clock cycles* necessário para executar a aplicação. Qual o compilador que produz código mais rápido? Quantas vezes mais rápido que o outro compilador?
- 1.2. Se a frequência de relógio deste processador é de 1.5 GHz, qual o tempo de execução da aplicação?
- 1.3. Com algumas alterações da organização do processador e da tecnologia usada para o construir, uma equipa de projectistas conseguiu aumentar a frequência do relógio para 2 GHz. No entanto, o CPI de cada uma das classes de instruções aumentou, conforme ilustrado na tabela 3. Calcule o tempo de execução de cada uma das sequências de código.

Tipo de instrução	CPI
A	2
B	3
C	4

Tabela 3 – CPI por classe de instrução

1.4. Lembrando que o MIPS nativo é dado por  $MIPS = \#I / (T_{exec} * 10^6)$ , qual o MIPS nativo obtido por cada compilador para esta máquina? E o MIPS de pico (*peak*) da máquina?

### 3. Avaliação do desempenho com hierarquia da memória

2. Considere uma máquina M1, baseada no MIPS, a correr o programa gcc (ver tabela 4), com uma frequência do relógio de 1,333 GHz, com uma *miss rate* de 4% para instruções e 6% para dados. Esta máquina tem uma *miss penalty* de 30 nano segundos para todos os acessos à memória principal (leituras ou escritas) e um  $CPI_{CPU}$  de 2.

Tipo instrução	loads	Stores	Tipo-R	branches	jumps
% ocorrência	22 %	11 %	49 %	16 %	2 %

Tabela 4 - percentagem de ocorrência de instruções no gcc para o MIPS

- 2.1. Quantas vezes mais rápida é M1 do que M2 (a correr o gcc), sendo M2 uma máquina sem *cache* (*miss rate* de instruções e dados=100%)?
- 2.2. Quantas vezes mais rápida é M3 do que M1 (a correr o gcc), sendo M3 uma máquina ideal com uma *cache* infinita (*miss rate* de instruções e dados=0%)?
- 2.3. Quantas vezes mais rápida é M4 do que M1 (a correr o gcc), sendo M4 uma máquina em tudo idêntica a M1 excepto na frequência do relógio que é de 2 GHz?