

## Estrutura do tema ISC

1. Representação de informação num computador
2. Organização e estrutura interna dum computador
3. Execução de programas num computador
4. O processador e a memória num computador
5. Da comunicação de dados às redes
6. Evolução da tecnologia e da eficiência

## Componentes (físicos) a analisar:

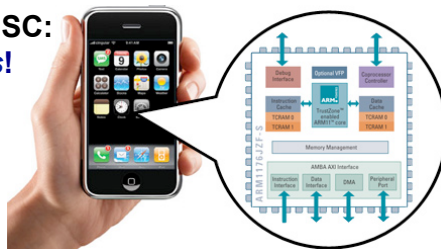
- a unidade de processamento / o processador:
  - o nível ISA (*Instruction Set Architecture*): tipos/formatos de instruções, acesso a operandos, ...
  - CISC versus RISC
  - **melhoria de eficiência** no processador: com paralelismo
  - **melhoramentos** fora do processador
- a hierarquia de memória:
  - cache, memória virtual, ...
- periféricos:
  - interfaces humano-computador (HCI)
  - arquivo de informação
  - comunicações

## CISC versus RISC

### Caracterização das arquiteturas RISC

- conjunto reduzido e simples de instruções
- formatos simples de instruções
- uma operação elementar por ciclo máquina
- operandos sempre em registos
- modos simples de endereçamento à memória

### Exemplos de arquiteturas RISC: em todos os smartphones!



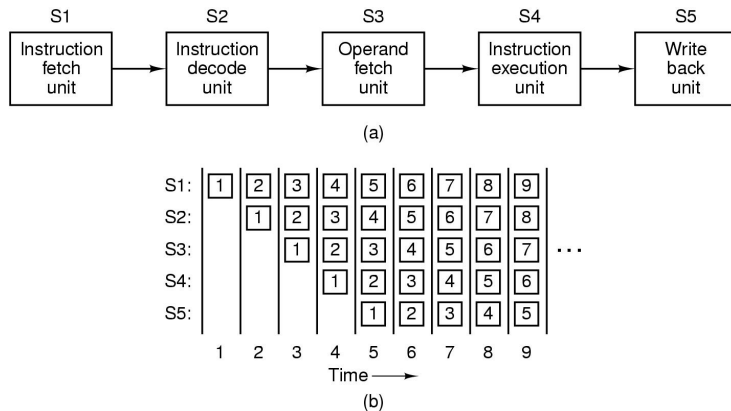
## Eficiência nos Sistemas de Computação: oportunidades para otimizar

### Otimização do desempenho / eficiência

- com introdução de **paralelismo**
  - na execução de cada instrução (*Instruction Level Parallelism*)
    - execução encadeada ou paralelismo desfasado (*pipeline*)
    - paralelismo nos dados (processamento vetorial)
    - paralelismo nas operações (VLIW, super-escalar)
  - no acesso à memória
    - paralelismo desfasado (*interleaving*)
    - paralelismo "real" (maior largura do *bus*)
  - ao nível da aplicação (sistemas concorrentes/paralelos/distribuídos)
    - em fios de execução (*multi-threading/ -core / -chip ...*)
    - nos processos (memória partilhada ou distribuída)
- com **hierarquia de memória** (para diminuir latência)
  - cache ...

## Paralelismo no processador Exemplo 1

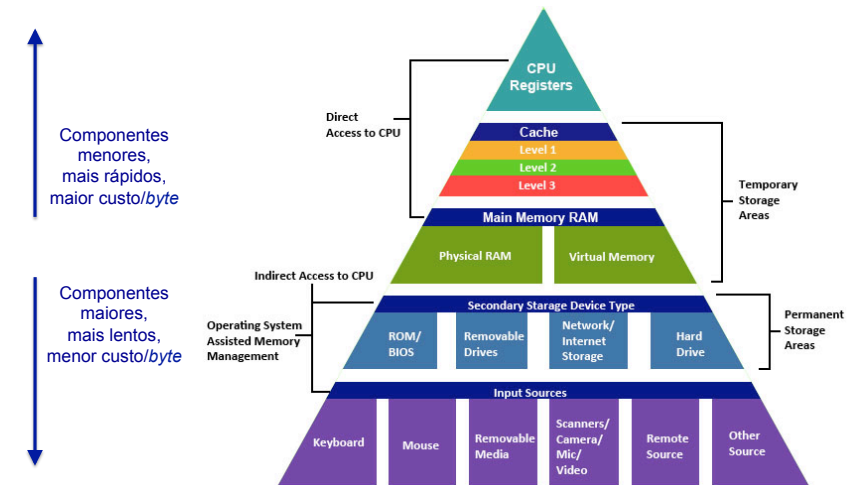
### Exemplo de pipeline



AJProença, Sistemas de Computação, UMinho, 2012/13

5

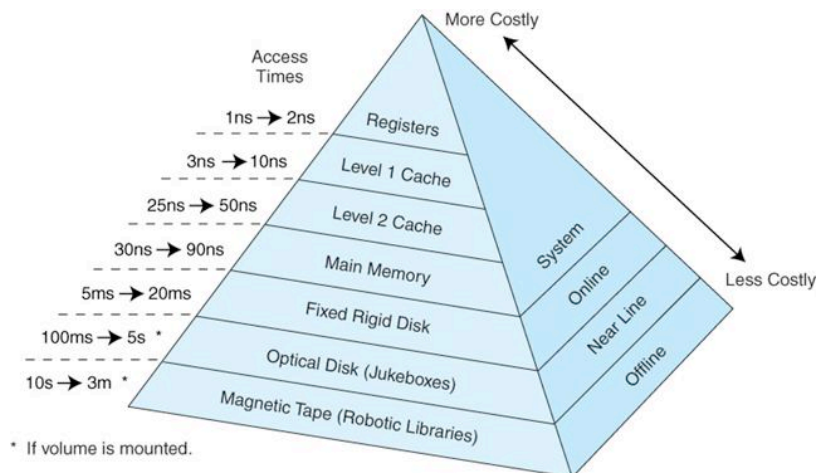
## Hierarquia de memória



AJProença, Sistemas de Computação, UMinho, 2012/13

6

## Hierarquia de memória



AJProença, Sistemas de Computação, UMinho, 2012/13

7

## Evolução do Intel x86 : pré-Pentium (visão do programador)

Nome	Data	Nº transístores
8086	1978	29K
<ul style="list-style-type: none"> <li>– processador 16-bits (registos + ALU); base do IBM PC &amp; DOS</li> <li>– espaço de endereçamento limitado a 1MB (DOS apenas vê 640K)</li> </ul>		
80286	1982	134K
<ul style="list-style-type: none"> <li>– endereço 24-bits e protected-mode; base do IBM PC-AT &amp; Windows</li> </ul>		
386	1985	275K
<ul style="list-style-type: none"> <li>→ <b>primeiro IA-32 !!</b></li> <li>– estendido para 32-bits: registos + op. inteiros + endereçamento</li> <li>– memória segmentada+paginada, capaz de correr Unix</li> </ul>		
486	1989	1.9M
<ul style="list-style-type: none"> <li>– integração num único chip: 386, co-proc 387, até 16kB cache L1</li> <li>– poucas alterações na arquitetura interna do processador</li> </ul>		

AJProença, Sistemas de Computação, UMinho, 2012/13

8

## Evolução do IA-32: família Pentium (visão do programador)

Pentium	1993	3.1M	(= <b>P5</b> )
– arquitetura superscalar, com 2 pipelines de inteiros (de 5 níveis)			
PentiumPro	1995	5.5M	(= <b>P6</b> , aka i686)
– out-of-order execution, 14 níveis pipeline, 3-issue superscalar			
– endereço 36-bits, cache L2 on-package			
Pentium/MMX	1997	4.5M	
– SIMD: opera com vetores de 64-bits, tipo <i>int</i> de 1, 2, ou 4 bytes			
Pentium II	1997	7.5M	(= Pro + MMX)
Pentium III	1999	8.2M	
– “Streaming SIMD Ext”, SSE: vetores 128-bits, <i>int/fp</i> 1/2/4 bytes			
Pentium 4	2000	42M	(= <b>NetBurst</b> , aka i786)
– trace cache, pipeline muito longo (20 ou 31), suporta multi-threading			
– SSE2: mais instruções e com dados <i>fp</i> de 8-bytes			
Pentium M	2003	77M	(= <b>P-M</b> )
– arquitetura mais próxima do Pentium III (eficiência energética)			

AJProença, Sistemas de Computação, UMinho, 2012/13

9

## Evolução do IA32 para Intel 64 (visão do programador)

- IA-32 ou x86 *open architecture* cresce para 64-bits
  - HP e Intel propõem arquitetura incompatível, IA-64 (Itanium CPU)
  - AMD anuncia em 1999 extensão do x86: x86-64
  - Intel segue AMD: IA-32e (Fev-04) EM64T (Mar-04), ou Intel-64 (2006)
  - AMD64 e Intel-64 diferentes; compiladores usam sub-set comum
- arquitetura **Core** surge em 2006 (151M transístores)
  - desenvolvida pela mesma equipa que o P-M (Israel)
  - 14 níveis de pipeline (como P6), mas 4-issue superscalar
  - 2 níveis de cache on-chip
  - multi-core on-chip (mesmo o Solo!) e virtualização por h/w
  - suporta fusão de instruções RISC ( $\mu$ -ops na terminologia Intel)
  - arquitetura **Core 2** é integralmente 64-bit (Intel 64)

AJProença, Sistemas de Computação, UMinho, 2012/13

10

## Arquiteturas Intel 64 com maior integração (visão do programador)

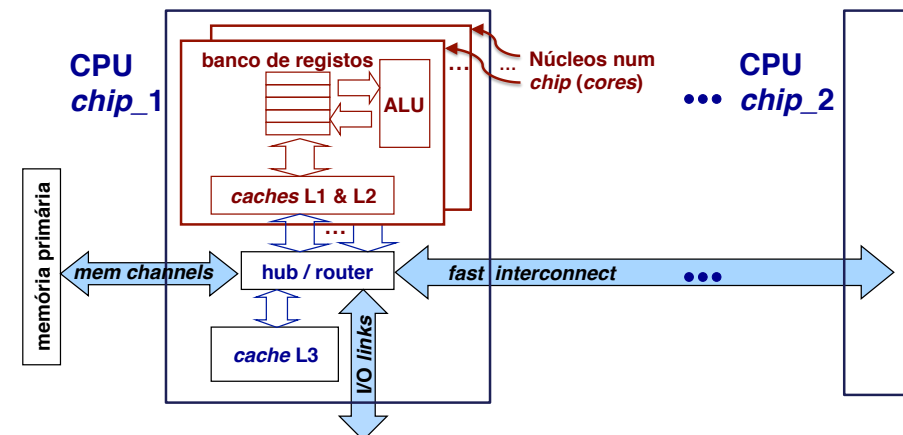
- arquitetura **Nehalem** anunciada em 2008 (731M transístores)
  - inspirada no NetBurst (com multi-threading e maiores clock rates)
  - 2 a 8 cores por chip, com cache L3 on-chip
  - com conexão ponto-a-ponto inter-CPU\_chips
  - integra controlador de memória numa arquitetura NUMA
- arquitetura **Sandy Bridge** anunciada em 2010 (>1000M transístores)
  - ensaio de arquitetura híbrida multicore, integrando o processador gráfico
  - interface com o processador gráfico através da cache L3
  - processamento vetorial estendido para 256-bits (AVX)
  - integração no chip do interface PCIe 16x

AJProença, Sistemas de Computação, UMinho, 2012/13

11

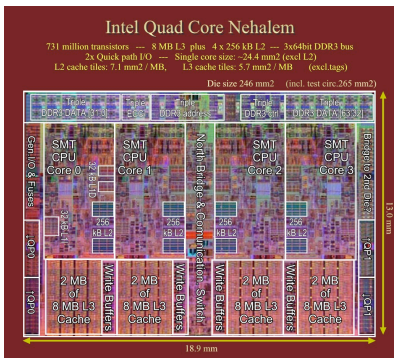
## A hierarquia de cache em arquiteturas multicore

### As arquiteturas multicore mais recentes:

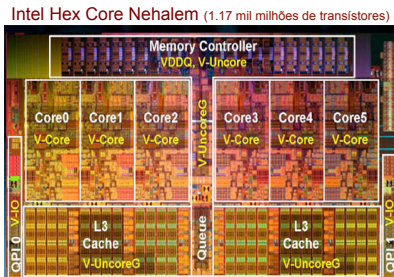
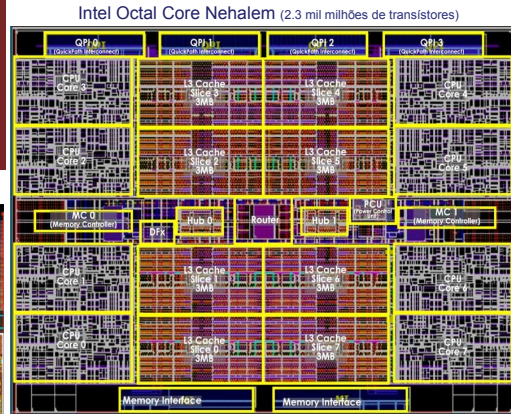


AJProença, Sistemas de Computação, UMinho, 2012/13

12



Gerações de Pentium "de ontem"

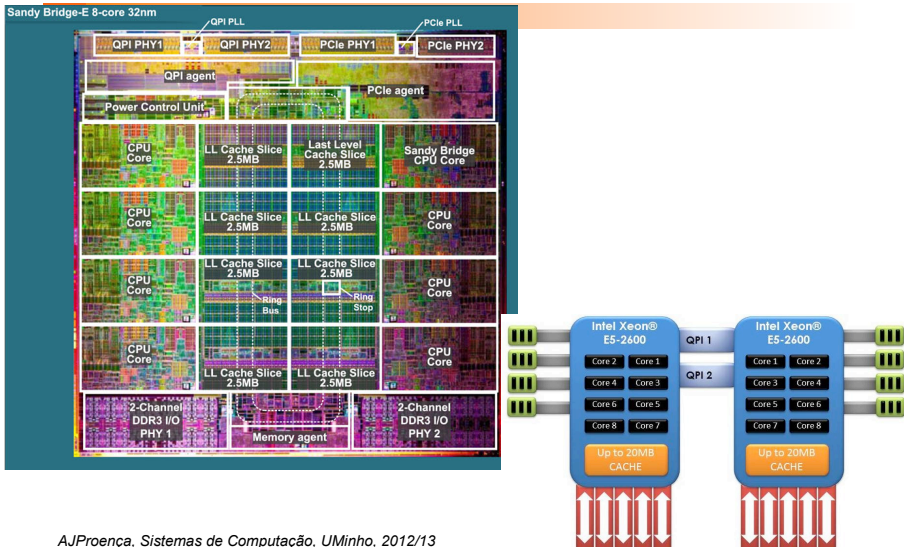


**Lançamento da Intel em 2010: Sandy Bridge (low end)**

AJProença, Sistemas de Computação, UMinho, 2012/13

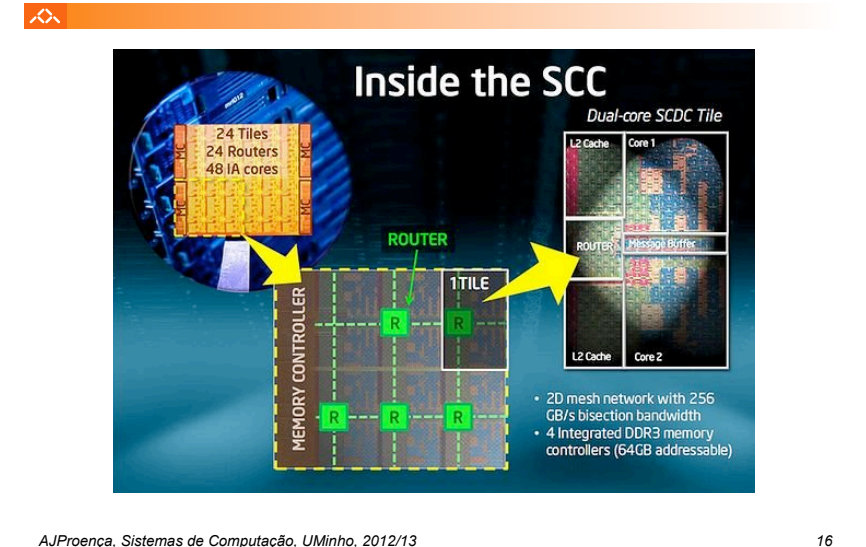
AJProença, Sistemas de Computação, UMinho, 2012/13

Lançamento da Intel em 2012: Sandy/Ivy Bridge (8-core)



AJProença, Sistemas de Computação, UMinho, 2012/13

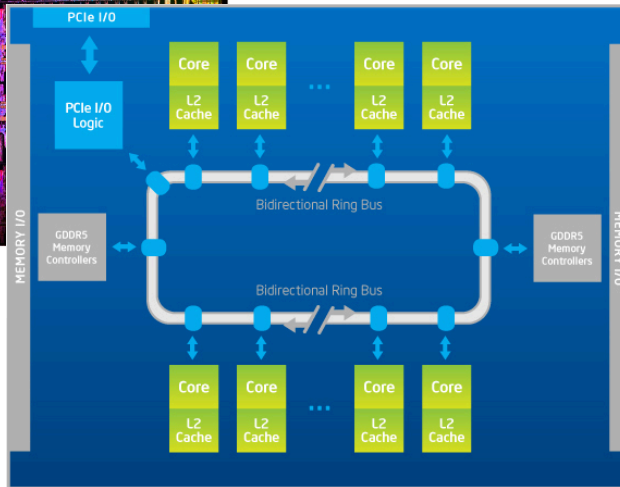
Protótipos da Intel em 2010/11: Single-chip Cloud Computer



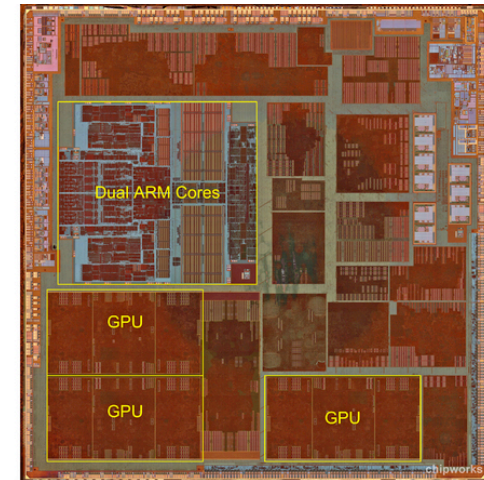
AJProença, Sistemas de Computação, UMinho, 2012/13



**Chips da Intel em 2012/13:  
Xeon Phi com 60 cores**



**Exemplo de chip com processadores RISC:  
2x ARM's no A6 do iPhone 5**



**Exemplo de chip com processadores RISC:  
4+1 ARM's no Tegra 4i da Nvidia**



**Tegra 4i**  
Highest Performing Single-Chip Smartphone Processor

- "R4" New Quad core ARM R4 A9 (2.3GHz)
- Tegra 4 4+1 Battery Saver Core
- Tegra 4 GPU (60 Core)
- Integrated i500 core
- More Tegra 4 Features:
  - Computational Photography Architecture
  - Image Signal Processor
  - Video Engine
  - Optimized Memory Interface

**Exemplo de chip com processadores RISC:  
4+4 ARM's no Exynos 5 Octa, Galaxy S 4**

**Performance and Energy-Efficiency**

<b>LITTLE</b>	Most energy-efficient processor from ARM	Cortex-A7
	<ul style="list-style-type: none"> <li>Simple, In-order, 8 stage pipeline</li> <li>Performance better than today's mainstream, high-volume smartphones</li> </ul>	
<b>big</b>	Highest performance in mobile power envelope	Cortex-A15
	<ul style="list-style-type: none"> <li>Complex, out-of-order, multi-issue pipeline</li> <li>Up to 5x the performance of today's mainstream, high-volume smartphones</li> </ul>	

Qualcomm Snapdragon

1.6 GHz Octa Core vs 1.9 GHz Quad Core