

As questões devem ser respondidas nas folhas de enunciado. As q.1-4 são de escolha múltipla (apenas uma das respostas está correcta) e valem 1 ponto; caso o aluno escolha uma alternativa errada será descontado 1/3 ponto. As q.5-7 valem 2 pontos, as q.8-9 valem 3 pontos e a q.10 vale 4 pontos.

Componente Teórica

1. A função $f(A,B,C) = (A.B'.C)'.(A'.B)'$ pode ser igualmente representada por:

$$(A.B'.C)+(A'.B)$$

$$\sum_{A,B,C}(0,1,4,6,7)$$

$$\sum_{A,B,C}(0,1,4,5,6,7)$$

$$A'.B'+A.B+A.C'+B'.C$$

2. A função $g(A,B,C,D) = (A' \oplus C).B.D+A.B'$ pode ser representada por:

$$\prod_{A,B,C,D}(0-4,6,7,11-14)$$

$$\prod_{A,B,C,D}(0-4,6,7,12-14)$$

$$\prod_{A,B,C,D}(0-6,11,12,14,15)$$

$$\prod_{A,B,C,D}(0-6,12,14,15)$$

3. Em VHDL, um *processo* é uma colecção de comandos ...

... concorrentes, que executa em paralelo com outros comandos concorrentes.

... sequenciais, que executa em paralelo com outros comandos concorrentes.

... concorrentes e sequenciais.

... sequenciais, que executa em tempo de simulação não nulo.

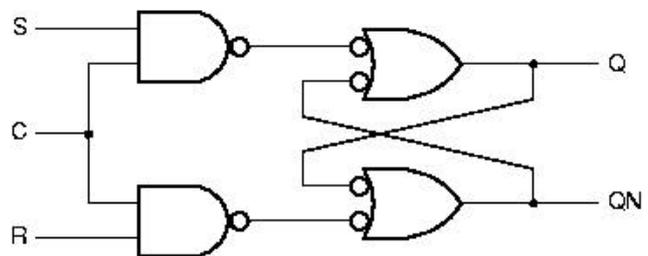
4. O seguinte diagrama representa...

uma *latch*.

um circuito combinatório.

um circuito sequencial síncrono.

um *flip-flop S-R*.

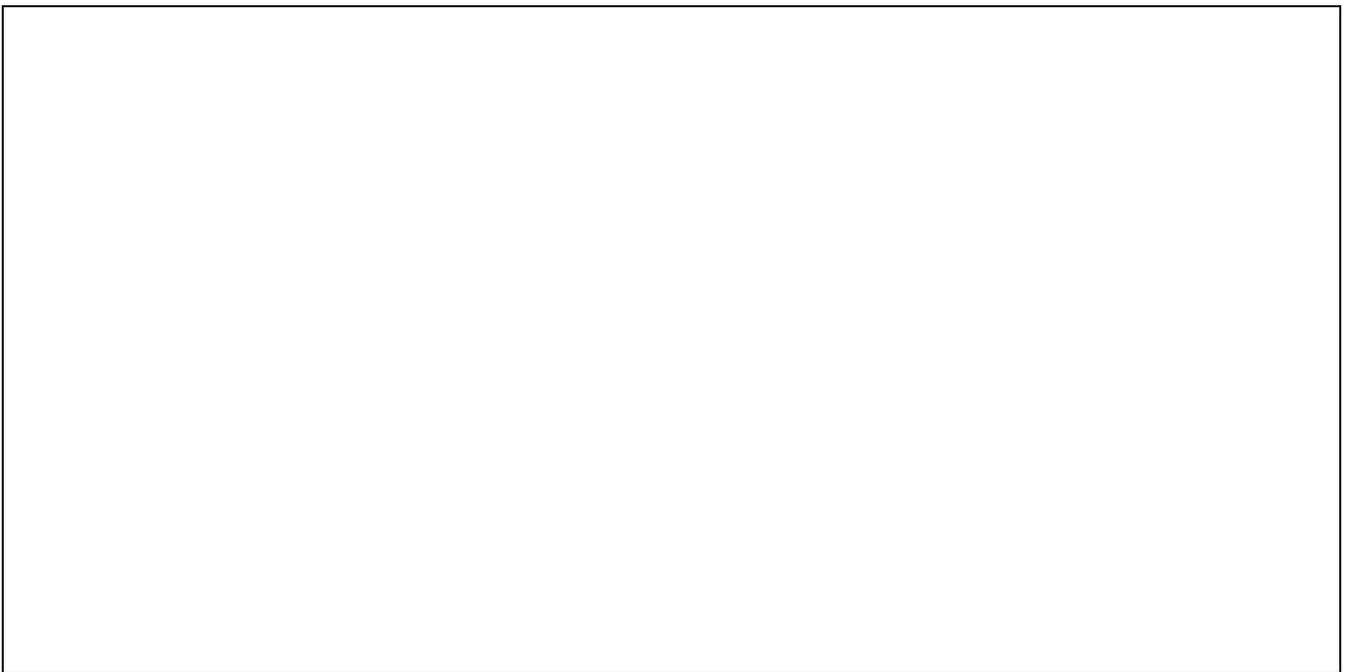
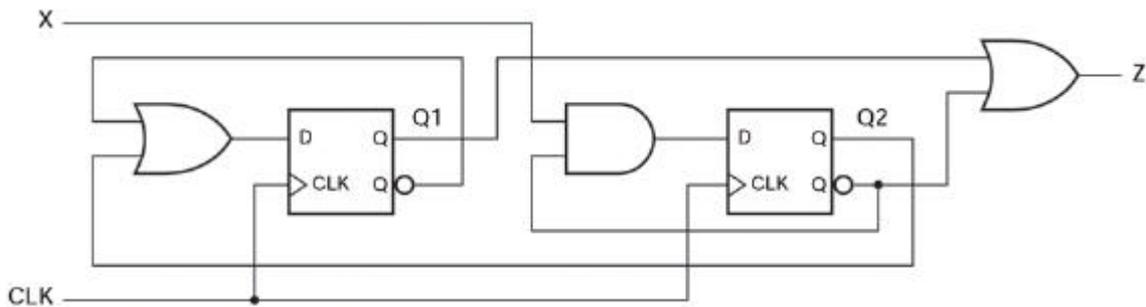


5. Detecte e corrija todos os *hazards* estáticos de $F(A,B,C,D) = \sum_{A,B,C,D}(0,1,4-6,9,11,13-15)$. Indique a expressão da função F, depois da correcção.

6. Projecte um circuito que tem 5 entradas e 1 saída, todas binárias. As quatro entradas A,B,C,D representam um dígito decimal em BCD. A 5ª entrada (E) é um sinal de controlo. Se E="0", a saída deve ser "0" se o dígito corresponder a um número par (e "1" em caso contrário). Quando E="1", a saída deve ser "0", excepto se o dígito corresponder a um número múltiplo de 3.



7. Considere a seguinte implementação duma máquina de estados síncrona. Escreva a tabela combinada de saídas e estados para esta máquina, considerando os nomes A-D para os estados $Q_2Q_1=00-11$, respectivamente. Justifique a resposta.



Componente Prática

8. Considere a função $F_{(A,B,C,D,E)} = \sum m \ 0,2,5,8,20,21,22,26,29 + \sum d \ 1,6,10,17,18$. Pretende obter-se a sua forma **SOP** simplificada, utilizando mapas de Karnaugh.

b) Indique, justificando, se **F** é auto-dual ou não.

c) Preencha o mapa fornecido e marque todos os **implicantes maiores** de **F**, identificando-os com etiquetas i_1 a i_n .

	E	0	1	1	0
	D	0	0	1	1
B C					
0 0					
0 1					
1 1					
1 0					

A=0

	E	0	1	1	0
	D	0	0	1	1
B C					
0 0					
0 1					
1 1					
1 0					

A=1

d) Usando as etiquetas i_1 a i_n , identifique as várias alternativas de solução para a expressão simplificada de **F** (em forma de árvore) e represente **uma/a** solução mínima com **literais**.

9. Pretende descrever-se em VHDL, de forma **estrutural**, uma máquina de estados tipo Mealy. Para isso deve utilizar os seguintes componentes: *logicProxEstado*, *regEstado* e *logicSaida*. Sabendo que:

- o registo de estado (*regEstado*) utiliza 2 *flip-flops* tipo D e possui como saídas E1 e E0
- o bloco que gera o próximo estado (*logicProxEstado*) é descrito por
$$D1 = A.E1'.E0+B.E1.E0$$
$$D0 = A'.E1.E0+B.E1.E0'$$
- o bloco que gera as saídas (*logicSaida*) é descrito por
$$O1 = E1'.E0.A$$
$$O0 = E0.A.B'$$

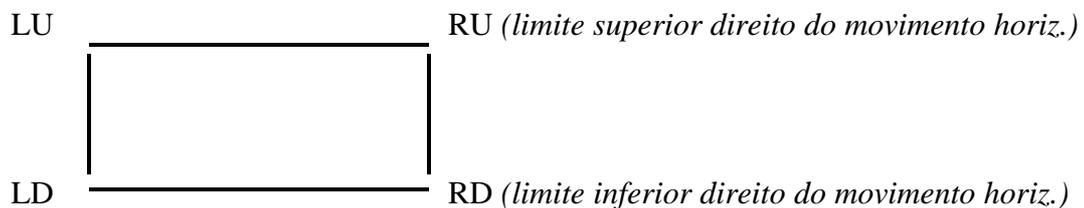
Suponha ainda que o atraso numa porta lógica **not|and|or|nand|nor|FFD** é **2|4|4|2|6|8** ns, respectivamente.

- a) Descreva em VHDL (fluxo de dados) a **arquitectura** dos componentes *logicProxEstado*, *regEstado* e *logicSaida*, usando atrasos.
- b) Descreva em VHDL a **interface** da máquina de estados.
- c) Descreva em VHDL (estrutural) a **arquitectura** da máquina de estados, não esquecendo de declarar os componentes usados.

10. Pretende desenhar-se a parte de controlo dum sistema de vigilância por câmara. A câmara funciona apenas em 2 posições de inclinação vertical: cima (sensor **sU** activo) e baixo (sensor **sD** activo). O movimento vertical é imposto activando o sinal **mU** (deslocar para cima) ou **mD** (deslocar para baixo). A câmara possui também um movimento horizontal regulado pelos sensores de posição **sL** e **sR**, activos quando a câmara está na posição mais à esquerda e mais à direita, respectivamente. O movimento para a esquerda (direita) é imposto activando o sinal **mL** (**mR**).

Quando o sistema é ligado, a câmara deve ser deslocada para a posição mais em cima (**sU** activo) e de seguida para a posição mais à direita (**sR** activo). Depois, a câmara faz o seguinte movimento repetitivamente: $RU \rightarrow RD \rightarrow LD \rightarrow LU \rightarrow RU \rightarrow \dots$

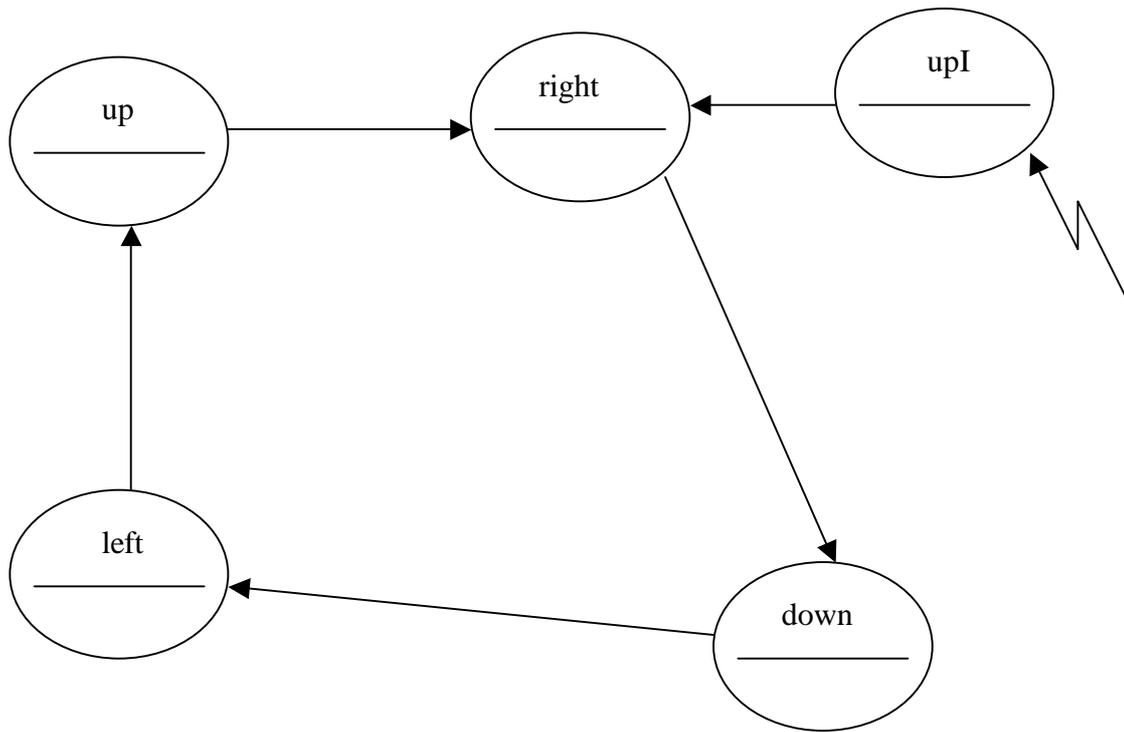
Enquanto a câmara se desloca horizontalmente, se for detectado movimento pelo sistema informático associado (sinal **mov** activo), a câmara pára durante 10s, activando o sinal **stop**. Para definir o intervalo de 10s use um temporizador programável externo, que é iniciado pelo sinal **load** e dá um impulso a "1" no sinal **end** quando chegar ao fim do intervalo programado.



- a) Desenhe o diagrama de blocos do sistema de vigilância.



- b) Complete o diagrama de estados fornecido, considerando que se trata duma máquina de Mealy. Deve acrescentar as transições, as anotações e os estados eventualmente em falta.



c) Preencha a tabela de verdade fornecida.

Estado	Actual		Próx.	Estado		
nome	E2 E1 E0	mov sL sR sU sD end	nome	E2* E1* E0*	stop mU mD mL mR load	J0 K0
upI						
right						
down						
left						
up						