

Exame (2ª chamada)
Ano 2001/02
Nome:

Sistemas Digitais I
21/Jun/2002

LESI 2º ano ①
Univ. Minho
Nº:

As questões devem ser respondidas nas folhas de enunciado. As q.1-4 são de escolha múltipla (apenas uma das respostas está correcta) e valem 1 ponto; caso o aluno escolha uma alternativa errada será descontado 1/3 ponto. As q.5-7 valem 2 pontos, as q.8-9 valem 3 pontos e a q.10 vale 4 pontos.

Componente Teórica

1. O dual da função $f(A,B,C,D) = A + B'.C.D$ é:

$$\prod_{A,B,C,D}(8-11,13-15)$$

$$\sum_{A,B,C,D}(0-2,4-7)$$

$$\sum_{A,B,C,D}(8-11,13-15)$$

$$\prod_{A,B,C,D}(0-2,4-7)$$

2. A lista de sensibilidade dum processo VHDL representa os sinais ...

... que, quando alteram o seu valor, obrigam a retomar o processo.

... que, quando alteram o seu valor, vão mudar no próximo *delta delay*.

... que mudaram no ciclo anterior.

... que vão mudar no próximo *delta delay*.

3. A função $g(A,B,C,D) = \prod_{A,B,C,D}(4,5,13,15)$ pode ser igualmente representada por:

$$A'.C+B'+C.D'+A.D'$$

$$A.C'+B+C'.D+A'.D$$

$$(A'+B+C').(A+B+D)$$

$$\sum_{A,B,C,D}(1-3,6-12,14)$$

4. Se no processo de simplificação com mapas de Karnaugh, os *don't cares* não forem incluídos em nenhum implicante maior, então o valor da função h, para as combinações correspondentes a esses *don't cares*, será ...

... sempre verdadeiro.

... falso, se os implicantes maiores

... verdadeiro, se os implicantes maiores incluírem mintermos para os quais $h=1$.

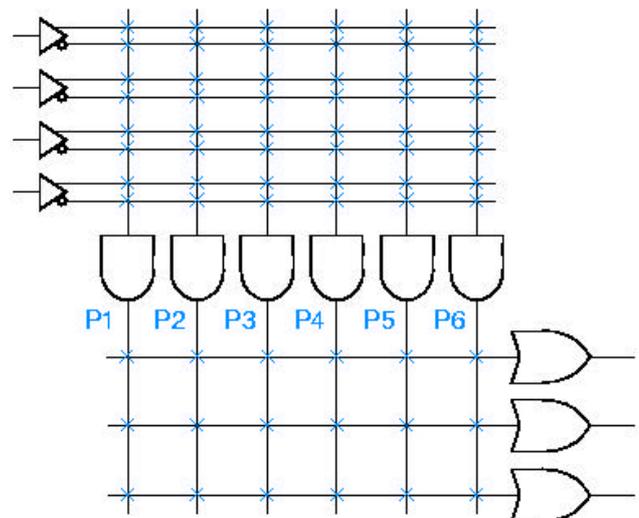
incluírem mintermos para os quais $h=1$.

... sempre falso.

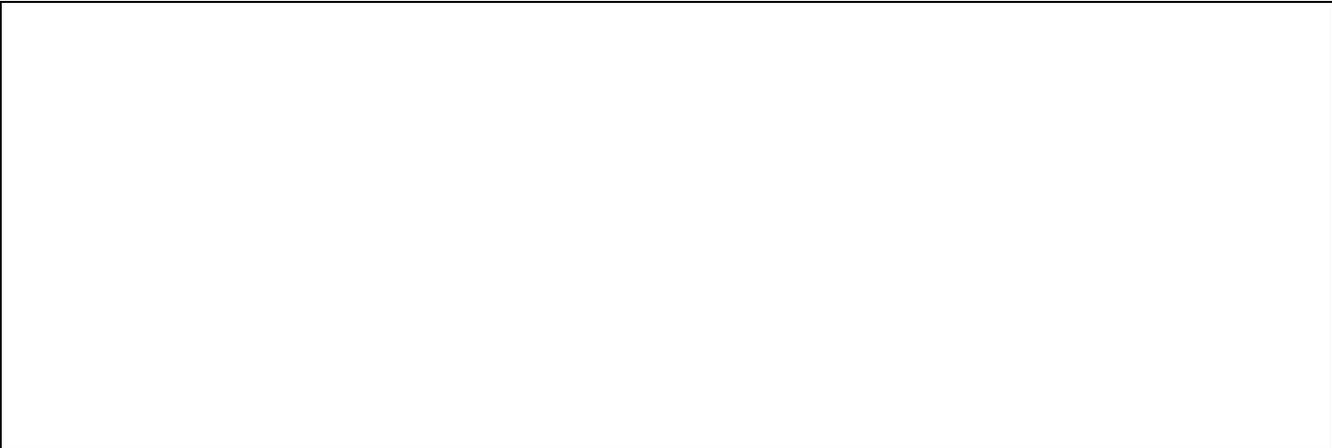
5. Programe a PLA 4x3 apresentada ao lado para implementar as seguintes funções:

$$X = A.B+B.C+C.D+A'.C$$

$$Y = B.C+C.D+A$$

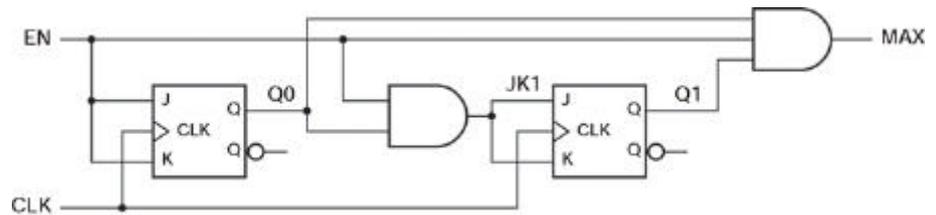


6. Realize, usando um decodificador e eventualmente outras portas combinatórias simples, um circuito que dados três bits (A, B, C) obtenha as 4 seguintes saídas diferentes:
 P=1 sse todos os bits forem iguais a “1”;
 Q=1 sse todos os bits forem iguais a “0”;
 R=1 sse um e só um bit está a “1”;
 S=1 sse um e só um bit está a “0”.



7. Considere a seguinte implementação duma máquina de estados síncrona e a tabela que descreve o comportamento do flip-flop JK. Escreva a tabela combinada de saídas e estados para a máquina, considerando os nomes A-D para os estados $Q_0Q_1=00-11$, respectivamente. Justifique a resposta.

J	K	Q*
0	0	Q
0	1	0
1	0	1
1	1	Q'



Componente Prática

8. Dada a função $F_{(R,S,T,U,V)} = \prod M_{0,2,7,12-16,18,20,22,23,25,27,30,31} \cdot \prod D_{1,6,8,9,21,26}$ pretende obter-se a sua forma **SOP** simplificada, utilizando mapas de Karnaugh. Para isso responda às seguintes questões.

b) Marque todos os **implicantes maiores** de **F** no mapa dado. Identifique os implicantes com etiquetas i_1 a i_n .

	V	0	1	1	0
	U	0	0	1	1
S T					
0 0					
0 1					
1 1					
1 0					

R=0

	V	0	1	1	0
	U	0	0	1	1
S T					
0 0					
0 1					
1 1					
1 0					

R=1

c) A simplificação de **F** no mapa de Karnaugh anterior inclui:

- 5 implicantes maiores com 2 mintermos e 4 implicantes maiores com 4 mintermos
- 5 implicantes maiores com 2 mintermos e 5 implicantes maiores com 4 mintermos
- 4 implicantes maiores com 2 mintermos e 5 implicantes maiores com 4 mintermos
- 4 implicantes maiores com 2 mintermos e 4 implicantes maiores com 4 mintermos

d) A simplificação de **F** no mapa de Karnaugh anterior inclui:

- 1 implicante essencial com 2 mintermos
- 2 implicantes essenciais com 2 mintermos
- 2 implicantes essenciais com 2 mintermos e 1 implicante essencial com 4 mintermos
- 1 implicante essencial com 4 mintermos

e) Uma (a) solução mínima com literais de **F** é:

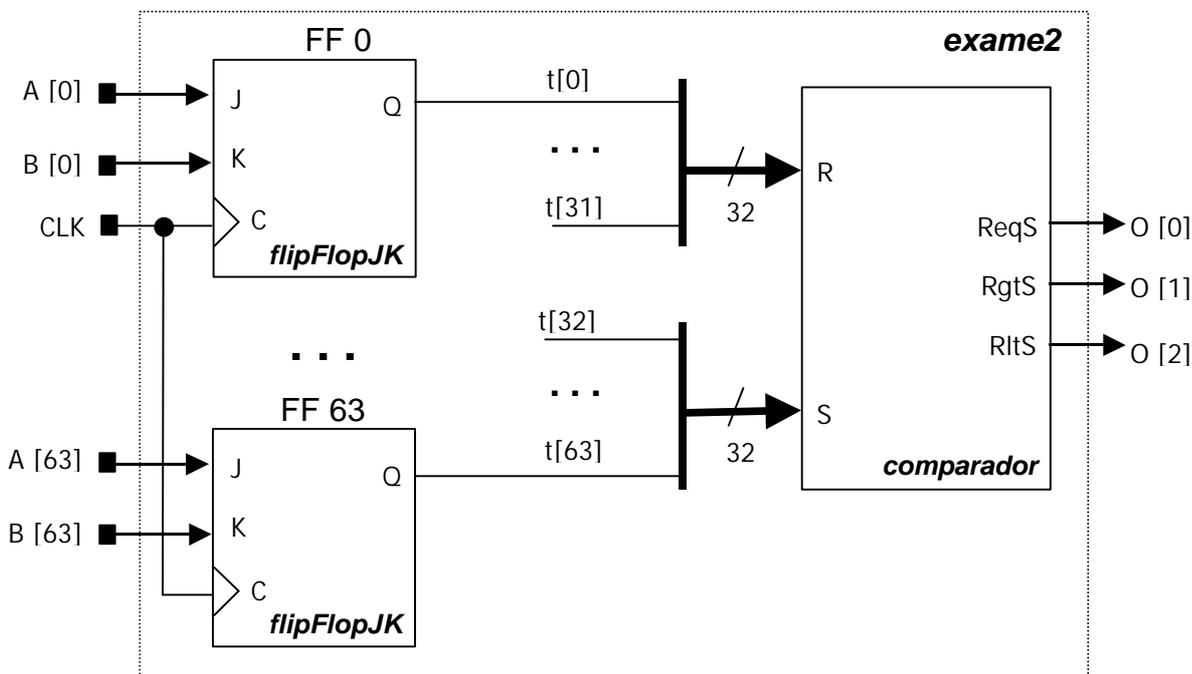
$$F = R' \cdot S' \cdot T \cdot U' + S' \cdot T' \cdot V + S' \cdot U' \cdot V + S \cdot T' \cdot V' + R \cdot S \cdot T \cdot U'$$

$$F = R' \cdot S' \cdot T \cdot U' + S' \cdot T' \cdot V + R' \cdot T' \cdot V + S \cdot T' \cdot V' + R \cdot T \cdot U' \cdot V$$

$$F = R' \cdot S' \cdot T \cdot U' + S' \cdot T' \cdot V + R' \cdot T' \cdot V + S \cdot T' \cdot V' + R \cdot S \cdot T \cdot U'$$

$$F = R' \cdot S' \cdot T \cdot V' + S' \cdot T' \cdot V + R' \cdot T' \cdot V + S \cdot T' \cdot V' + R \cdot S \cdot T \cdot U'$$

9. Considere o circuito *exame2* da figura, em que os blocos *FF0* a *FF63* são *flip-flops* JK e o bloco *comparador* possui a seguinte funcionalidade: a saída ReqS fica a '1' se R for igual a S, a saída RgtS fica a '1' se R for maior que S e a saída RltS fica a '1' se R for menor que S.



- Descreva em VHDL a arquitectura do bloco *flipFlopJK*.
- Descreva em VHDL a arquitectura do bloco *comparador*.
- Usando os componentes *flipFlopJK* e *comparador*, e sem instanciar explicitamente os 64 *flip-flops*, descreva em VHDL a arquitectura do circuito *exame2*.

10. Pretende-se implementar o sistema de controlo para abrir e fechar uma porta automática de garagem. O motor que abre e fecha a porta responde a 3 comandos: abrir (**A**), parar (**P**) e fechar (**F**). Existem 2 detectores da posição da porta (**dA** e **df**), que permitem determinar quando a porta está totalmente aberta ou fechada, respectivamente. A abertura e fecho da porta são controlados através do accionamento dum botão fixo **B** ou dum tele-comando **T**. Existe ainda uma célula foto-eléctrica **cel** que detecta obstáculos ao percurso da porta; sempre que esta célula for activada, a porta deve ser parada imediatamente.

Para perceber como se processa a abertura da porta, considere-se que, inicialmente, ela está totalmente fechada. Quando o botão ou o tele-comando forem accionados, o motor vai abrindo a porta até ser activado o sinal **dA**. Durante a abertura da porta, se o botão ou o tele-comando forem accionados ou se um obstáculo for detectado, a abertura é suspensa (i.e. a porta pára). A porta ficará parada até o botão (ou o tele-comando) ser accionado; quando tal suceder, o motor vai fechando a porta (i.e. inverte o sentido do movimento).

O fecho da porta processa-se de forma similar à sua abertura. Se o fecho da porta for interrompido, quando o botão (ou o tele-comando) for accionado, a porta passa a abrir-se.

- Desenhe o diagrama de blocos deste sistema de controlo.

