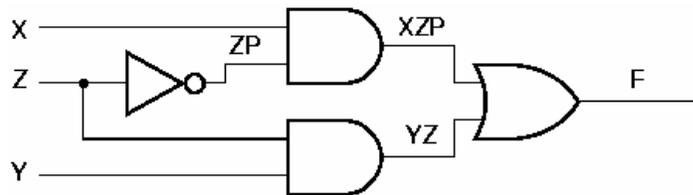


1. Considere o circuito apresentado na figura.



- (a) Apresente em VHDL a respectiva entidade.
- (b) Descreva estruturalmente o circuito, admitindo que numa biblioteca COMP existem já descritos os seguintes componentes: NOT, AND2, OR2.
- (c) Descreva o circuito ao nível do fluxo de dados (*data flow*), assumindo um atraso de 10ns para a porta NOT e 13ns para as portas AND e OR.

Imprima estas 2 páginas numa única folha A4. Use outras folhas brancas, se precisar. Agrafe tudo.

2. Considere um circuito que recebe como entrada dois dígitos BCD (representando, portanto, um número entre 0 e 99) e que activa a única saída quando esse número não for primo.
 - (a) Apresente em VHDL a respectiva entidade.
 - (b) Descreva o comportamento do circuito com um algoritmo.
 - (c) Desenvolva em VHDL um testbench para este circuito, estimulando o circuito com os números entre 17 e 26, inclusive.

Nome:

Nº: