

Exame (1ª chamada)
Ano 2002/03
Nome:

Sistemas Digitais I
12/Jun/2003

LESI 2º ano
Univ. Minho
Nº:

As questões devem ser respondidas, sempre que possível, nas folhas de enunciado. As q.1-4 são de escolha múltipla (apenas uma das respostas está correcta) e valem 1 ponto; caso o aluno escolha uma alternativa errada será descontado 1/3 ponto. As q.5-7 valem 2 pontos, a q.8 vale 3 pontos e as q.9-10 valem 3,5 pontos.

Componente Teórica

1. Seja a função $Z(A,B,C,D) = \sum_{A,B,C,D}(5,10,11,14,15)$. A função $(Z')^D$ (dual da negação de Z) é representada por:

$$\prod_{A,B,C,D}(0-4,6-9,12,13)$$

$$\sum_{A,B,C,D}(0-4,6-9,12,13)$$

$$\sum_{A,B,C,D}(2,3,6-9,11-15)$$

$$\sum_{A,B,C,D}(0,1,4,5,10)$$

2. A função $X(A,B,C,D) = A.C.D + A'.B'.D$ é igualmente representada por:

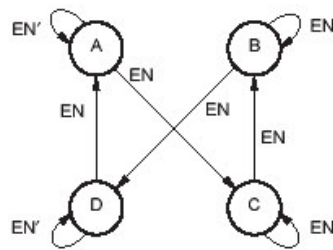
$$\prod_{A,B,C,D}(1,3,11,15)$$

$$\prod_{A,B,C,D}(0,2,4-10,12-14)$$

$$\prod_{A,B,C,D}(0,4,12,14)$$

$$\prod_{A,B,C,D}(0,2-10,12-15)$$

3. Considere o seguinte diagrama de estados. Qual das tabelas de transição de estados o representa?



S	S* EN=0	S* EN=1
A	C	A
B	D	B
C	B	C
D	A	D

S	S* EN=0	S* EN=1
A	A	C
B	B	D
C	C	B
D	D	A

S	S* EN=0	S* EN=1
A	A	D
B	B	C
C	C	A
D	D	B

S	S* EN=0	S* EN=1
C	A	C
D	B	D
B	C	B
A	D	A

4. Em VHDL, o comando `for generate`:

tem de ser usado no contexto dum processo, pois trata-se dum comando sequencial.

permite repetir um conjunto de comandos paralelos, nomeadamente atribuições a sinais.

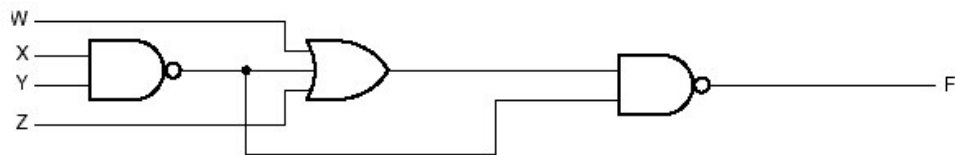
possibilita a instanciação repetitiva de componentes do mesmo tipo.

gera um conjunto de estímulos para efeitos de simulação (testbench).

5. Considere a seguinte função de 4 variáveis: $N(A,B,C,D) = \sum_{A,B,C,D}(3-5,7,8,10,11)$. Sem efectuar qualquer simplificação, implemente essa função usando apenas um inversor e um multiplexador de 8:1.

6. Considere a função $M(A,B,C,D) = \prod_{A,B,C,D}(0,1,4,6,9-11,14)$.
- Simplifique M no formato SOP.
 - Corrija todos os *hazards* estáticos de M, indicando a respectiva expressão, após a correcção.

7. Considere a seguinte implementação da função F. Escreva no formato canónico SOP a respectiva expressão. Reescreva essa expressão no formato lista de maxtermos ($\prod$) .



Componente Prática

8. Dada a função $F_{(R,S,T,U,V)} = \prod M \ 0-2,5,8-10,15,16,18,20,22-26 * \prod D \ 3,6,12,13,19,21,31$ pretende obter-se a sua forma **SOP** simplificada, utilizando mapas de Karnaugh. Para isso responda às seguintes questões.

b) Marque todos os **implicantes maiores** de **F** no mapa dado. Identifique os implicantes com etiquetas i_1 a i_n .

		V			
		0	1	1	0
S	U	0	0	1	1
	T				
0	0				
	1				
	1				
	0				

R=0

		V			
		0	1	1	0
S	U	0	0	1	1
	T				
0	0				
	1				
	1				
	0				

R=1

c) A simplificação de **F** no mapa de Karnaugh anterior inclui:

- 5 implicantes maiores com 2 mintermos e 4 implicantes maiores com 4 mintermos
- 5 implicantes maiores com 2 mintermos e 5 implicantes maiores com 4 mintermos
- 5 implicantes maiores com 2 mintermos e 6 implicantes maiores com 4 mintermos
- 6 implicantes maiores com 2 mintermos e 5 implicantes maiores com 4 mintermos

d) A simplificação de **F** no mapa de Karnaugh anterior inclui:

- 3 implicantes essenciais com 4 mintermos
- 3 implicantes essenciais com 4 mintermos e 1 implicante essencial com 2 mintermos
- 4 implicantes essenciais com 4 mintermos
- 2 implicantes essenciais com 4 mintermos

e) Uma (a) solução mínima com literais de **F** é:

$$F = R'TV' + R'S'TU + T'UV + STU' + RS'T'V$$

$$F = R'TV' + R'S'TU + T'UV + STV' + STU' + RS'T'V$$

$$F = R'TV' + R'S'TU + T'UV + RST + RSUV$$

$$F = R'TV' + R'S'TU + T'UV + RST + RS'T'V$$

9. Considere o seguinte circuito descrito em VHDL:

```

architecture estrutural of bloco1 is
    signal p, q, r : std_logic;
begin
    p <= i1 xnor i2 after 3ns;
    q <= (not i1) after 2ns;

    r <= i2 after 5ns when q='0' else
        i3 after 5ns when q='1' else
        '0' after 5ns ;

    process (p, r) is
    begin
        o1 <= (p xor r) after 4 ns;
        o2 <= (p and r) after 4 ns;
    end process;
end estrutural;

architecture estrutural of ex12 is

    component bloco1 is
        port ( <incompleto> );
    end component;

    component bloco2 is
        port (
            Ain      : in  std_logic_vector
                      (15 downto 0);
            c, rst    : in  std_logic;
            o          : out std_logic_vector
                      (15 downto 0) );
    end component;

    component bloco3 is
        port (
            h, l      : in  std_logic_vector
                      (15 downto 0);
            dir        : in  std_logic;
            s          : out std_logic_vector
                      (31 downto 0) );
    end component;

    BLK1: bloco1
        port map (
            i1 => a ,
            i2 => b ,
            i3 => c ,
            o1 => co ,
            o2 => sel );

    BLK2: bloco2
        port map (
            d ,
            f ,
            r ,
            reg(31 downto 16) );

    BLK3: bloco3
        port map (
            reg(31 downto 16) ,
            reg(15 downto 0) ,
            sel ,
            z );
end estrutural;

```

a) Desenhe o esquemático correspondente ao código VHDL do circuito **ex12**, anotado com os nomes dos sinais e os atrasos presentes no código.

b) Descreva em VHDL comportamental os módulos **bloco2** e **bloco3**, utilizados no código do circuito **ex12**, sabendo que possuem a seguinte funcionalidade:

bloco2 - é um registo de 16 bits implementado com FFs D; os FFs D têm reset e são sensíveis à transição 1 para 0 do relógio;

bloco3 - se (dir = 0) => os 16 bits MS (mais signif.) de s[] = L e os 16 bits LS de s[] = H
 se (dir = 1) => os 16 bits MS de s[] = H e os 16 bits LS (menos signif.) de s[] = L

10. Um sistema sequencial tem uma entrada (A) e duas saídas (X,Z). A saída X é activada sempre que a sequência "101" é observada na entrada, desde que a sequência "011" nunca tenha ocorrido anteriormente. A saída Z é activada quando a sequência "011" ocorrer. Note que assim que a saída Z for activada, a saída X nunca mais o será.

a) Desenhe o correspondente diagrama de estados, assumindo que se trata duma máquina do tipo Mealy (ajuda: o número mínimo de estados é 8).

b) Apresente a respectiva tabela de estados, para um sub-conjunto de 2 estados .