

Teór: []+[]+[]+[]	+ Prát: = TOTAL:	(D)
Exame (Época especial)	Sistemas Digitais I	LESI 2º ano
Ano 2002/03	02/Set/2003	Univ. Minho
Nome:		Nº:

As questões devem ser respondidas nas folhas de enunciado. As q.1-4 são de escolha múltipla (apenas uma das respostas está correcta) e valem 1 ponto; caso o aluno escolha uma alternativa errada será descontado 1/3 ponto. As q.5-7 valem 2 pontos, as q.8-9 valem 3,5 pontos e a q.10 vale 3 pontos.

Componente Teórica

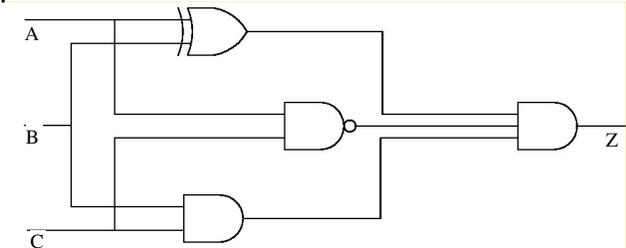
1. A função $Z(A,B,C)$ da figura representa-se por:

$$(A.B'+A'.B).(B.C).(A'.C')$$

$$A'.B.C$$

$$(A'.B'+A.B).(B.C).(A.C)'$$

$$\prod_{A,B,C}(1,2,4-7)$$



2. Seja a função $Q(A,B,C,D) = \prod_{A,B,C,D}(1-12)$.
A função Q' é representada por:

$$(A'+B'+C'+D').(A+B+C'+D).(A+B+C+D') .(A+B+C+D)$$

$$(A'+B'+C').(A'+B'+D').(A+B+C+D)$$

$$\prod_{D,C,B,A}(0,13-15)$$

$$\sum_{A,B,C,D}(0,13-15)$$

3. Sejam as funções $X(A,B,C) = \prod_{A,B,C}(1,4)$ e $Y(E,F) = \sum_{E,F}(0,2)$.
A função $(X.Y)^D$ é representada por:

$$F'+A.B.C'+A'.B.C$$

$$(B.(A+C).(A'+C'))+F$$

$$(B+A.C+A'.C').F'$$

$$\sum_{A,B,C,E,F}(0,12-15,24-27)$$

4. Em VHDL, uma atribuição concorrente a um sinal, do tipo “a <= x+1 after 5ns;” ...

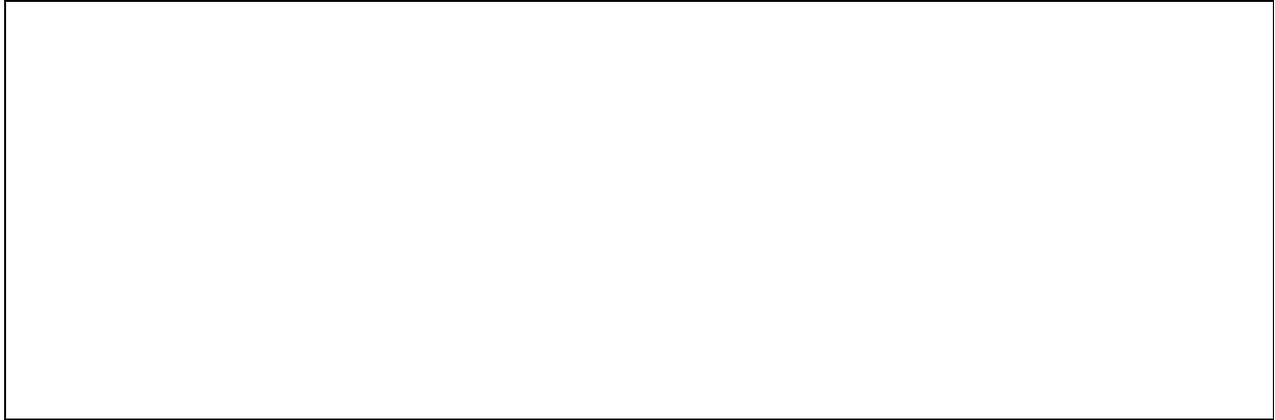
... é um comando que se enquadra no estilo fluxo de dados (*data flow*).

... trata-se dum comando sequencial, pelo que tem de ser utilizado no âmbito dum processo.

... é um comando concorrente, pelo que pode usar-se no corpo duma função.

... permite atribuir um valor a uma variável, especificando opcionalmente um atraso.

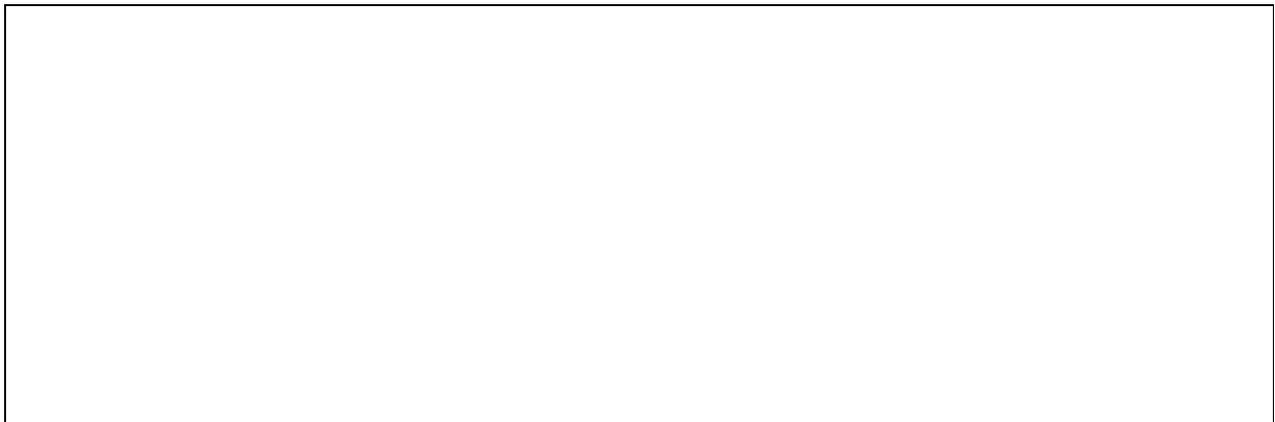
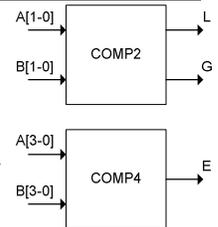
5. Usando unicamente portas NOR2, implemente um multiplexador 4:1.



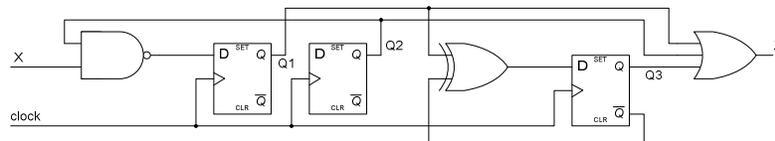
6. Pretende construir-se um circuito COMP2, que consiste num comparador de dois números binários de 2 bits ($A=A_1A_0$ e $B=B_1B_0$).

a) Obtenha as tabelas de verdade para G (activo se $A \geq B$) e L (activo se $A \leq B$).

b) Usando circuitos COMP2 e portas lógicas, construa o circuito COMP4 que activa E quando $A=B$ ($A=A_3A_2A_1A_0$ e $B=B_3B_2B_1B_0$ são números binários de 4 bits).



7. Considere a seguinte implementação duma máquina de estados síncrona. Escreva a tabela combinada de saídas e estados para esta máquina, considerando os nomes A-H para os estados $Q_1Q_2Q_3=000-111$, respectivamente. Justifique a resposta.



Componente Prática

8. Considere a função $F_{(P,Q,R,S,T)}$ representada (na forma SOP) pelo seguinte mapa de Karnaugh. Para obter F na forma POS simplificada, responda às seguintes questões.

	T	0	1	1	0
	S	0	0	1	1
Q R					
0 0				X	1
0 1		1	1	X	1
1 1		1	1		1
1 0		X	1		1

P=0

	T	0	1	1	0
	S	0	0	1	1
Q R					
0 0			1		X
0 1		1	1		1
1 1				X	1
1 0		X	1	1	1

P=1

a) Descreva F^D na forma canónica SOP usando índices.

b) Marcando todos os **implicantes maiores** de F no mapa dado, com etiquetas i_0 a i_n , complete a seguinte frase:

a simplificação de F no mapa de Karnaugh anterior inclui ____ “implicantes” maiores com 4 maxterms e ____ “implicantes” maiores com 2 maxterms.

c) Escreva na forma de **soma de literais**, a expressão dos “**implicantes**” essenciais da simplificação de F no mapa anterior.

d) Uma (a) solução mínima com literais de F é:

$$F = (P+S'+T').(P+Q+R+S).(R+S+T).(R'+S'+T').(P'+Q'+R'+S)$$

$$F = (P+S'+T').(P+Q+R+S).(R+S+T).(Q+S'+T').(P'+Q'+S+T)$$

$$F = (P+S'+T').(P+Q+R+S).(R+S+T).(Q+S'+T').(P'+Q'+R'+S)$$

$$F = (P+S'+T').(P+Q+R+S).(P'+Q+R+T).(Q+S'+T').(P'+Q'+R'+S)$$

9. Pretende descrever-se em VHDL, de forma **estrutural**, uma máquina de estados tipo Mealy. Para isso deve utilizar os seguintes componentes: *proxEstado*, *regEstado* e *logSaidas*. Sabendo que:

- o registo de estado (*regEstado*) utiliza 2 *flip-flops* tipo D e possui como saídas E1 e E0;

- o bloco que gera o próximo estado (*proxEstado*) é descrito por

$$D1 = A'.E1 + B.E0'$$

$$D0 = A (+) B (+) E0 \quad \text{Nota: (+) é um operador ou-exclusivo}$$

- o bloco que gera as saídas (*logSaidas*) é descrito por

$$O1 = E1'.E0.A$$

$$O0 = E0.A.B'$$

Suponha ainda que o atraso numa porta lógica **not|and|or|nand|xor|FFD** é 2|4|4|2|6|8 ns, respectivamente.

a) Descreva a **arquitectura** dos componentes *proxEstado* (em VHDL fluxo de dados) e *regEstado* (em VHDL comportamental), usando atrasos.

b) Descreva em VHDL a **interface** da máquina de estados.

c) Descreva o fragmento de código VHDL, relativo à **arquitectura** da máquina de estados, em que se declara e instancia o componente *proxEstado*. Declare ainda os sinais necessários a esta instanciação.

10. Um circuito sequencial tem duas entradas (*X1*, *X0*) e duas saídas (*L*, *G*). As entradas representam um número inteiro $N = X1 X0$, representado com 2 bits. Se o valor actual de *N* for maior que o anterior, então $G=1$. Se o valor actual de *N* for menor que o anterior, então $L=1$. No outro caso, $G=L=0$. Desenhe o diagrama de estados deste circuito, assumindo o modelo de Mealy.