

Anexo C

Arquitectura das CPLDs XC9500

A CPLD incluída no PG04 v2 é da família XC95xx da Xilinx. A CPLD XC95108 utilizada é programável no circuito (ISP) até 10000 vezes e suporta o modo *boundary scan*. A tabela 5 contém alguns dos aspectos quantitativos desta CPLD mais relevantes para o utilizador.

A arquitectura das CPLDs XC95xx é composta por um conjunto de **blocos funcionais** e de **blocos de entrada/saída** (IOBs) interligados por uma **matriz de comutação**, que encaminha as entradas e saídas para os blocos funcionais (figura 25).

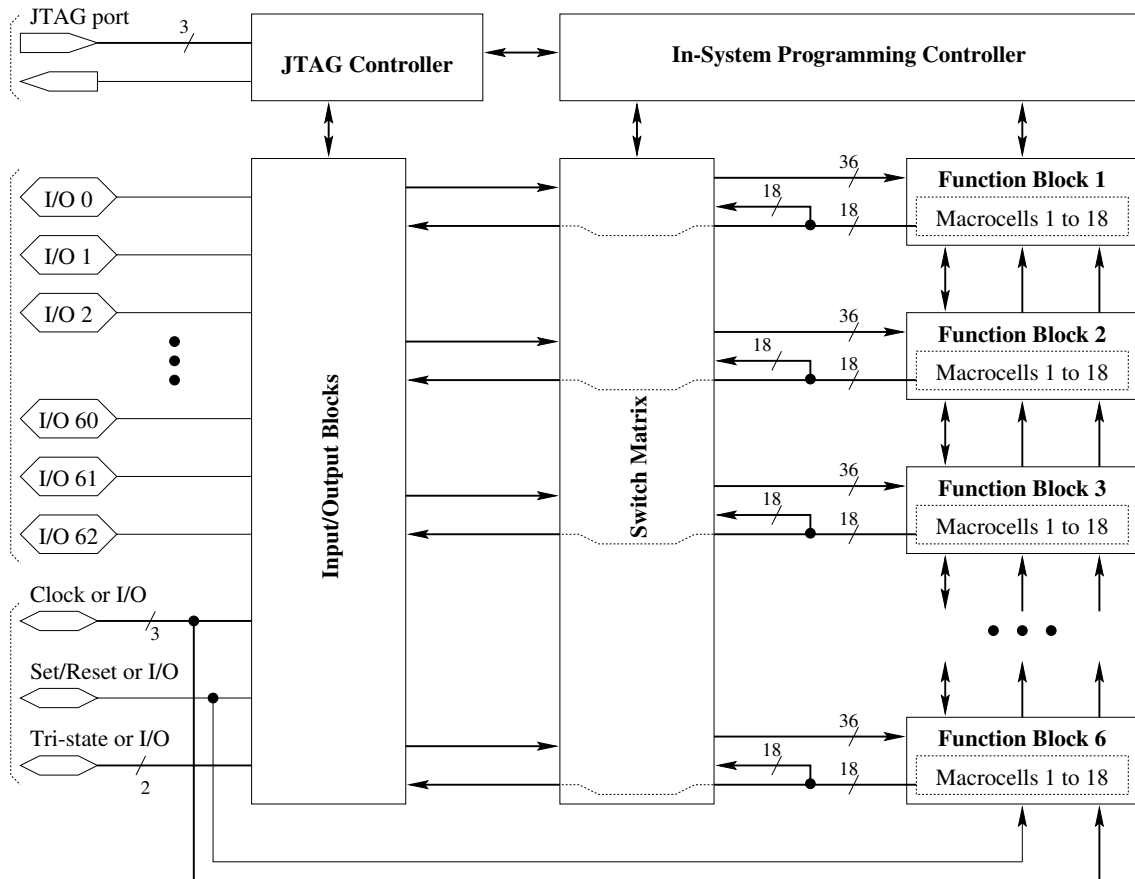


Figura 25: Arquitectura das CPLDs XC95xx.

<i>Macro células</i>	<i>Portas lógicas</i>	<i>Flip-flops</i>	<i>Pinos de I/O genéricos</i>	<i>Frequência máxima</i>
108	2400	108	69	83 MHz

Tabela 5: Aspectos quantitativos da CPLD XC95108-PLCC84.

1. Bloco Funcional

Cada bloco funcional inclui 18 macro células independentes que conseguem implementar uma função combinacional ou registada. Cada bloco possui as seguintes entradas: um sinal de relógio global, um sinal de set/reset global e sinais de *enable*, mais um conjunto de até 36 entradas. Cada bloco gera até 18 saídas para a matriz de comutação e/ou os blocos de entrada/saída. Para implementar as funções lógicas, os blocos funcionais utilizam somas de produtos. Com as 36 entradas e o complemento dessas 36 entradas, é possível gerar até 90 termos de produto, cada um atribuído a uma macro célula pelo alocador de termos de produto (figura 26). Existem caminhos de realimentação dentro do bloco funcional, permitindo que as saídas desse bloco possam ser usadas como entradas do *array* de ANDs do mesmo bloco.

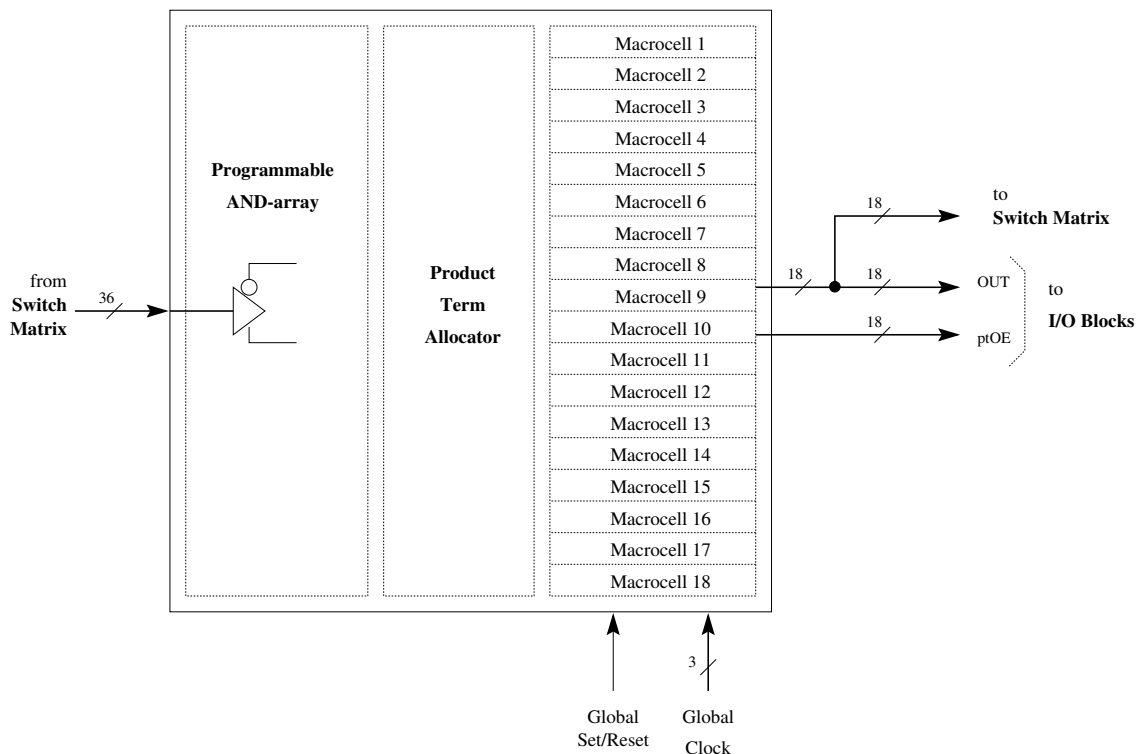


Figura 26: Bloco funcional das CPLDs XC95xx.

2. Macro célula

A macro célula pode ser programada para implementar uma função combinacional ou registada. Como se pode observar na figura 27, os contributos individuais para os sinais que representam os termos de produto de cada macro célula são gerados pelo alocador de termos de produto a partir (i) de 5 entradas *pt1* a *pt5* provenientes directamente do

array de ANDs e (ii) de alguns termos de produto provenientes de outras macrocélulas. O alocador de termos de produto gera contributos para os seguintes sinais: a saída duma função combinacional, a entrada de dados / o sinal de relógio / o sinal de set e reset duma função registada e uma saída de *enable*. O sinal de relógio é uma função de todos os sinais de relógio globais e o sinal de relógio gerado pelo alocador de termos de produto. Analogamente, os sinais de set e de reset duma função registada são função dos sinais de set/reset globais e do set/reset gerado pelo alocador de termos de produto. Os flip-flops podem ser configurados para serem do tipo D ou do tipo T, com um set/reset síncrono ou assíncrono.

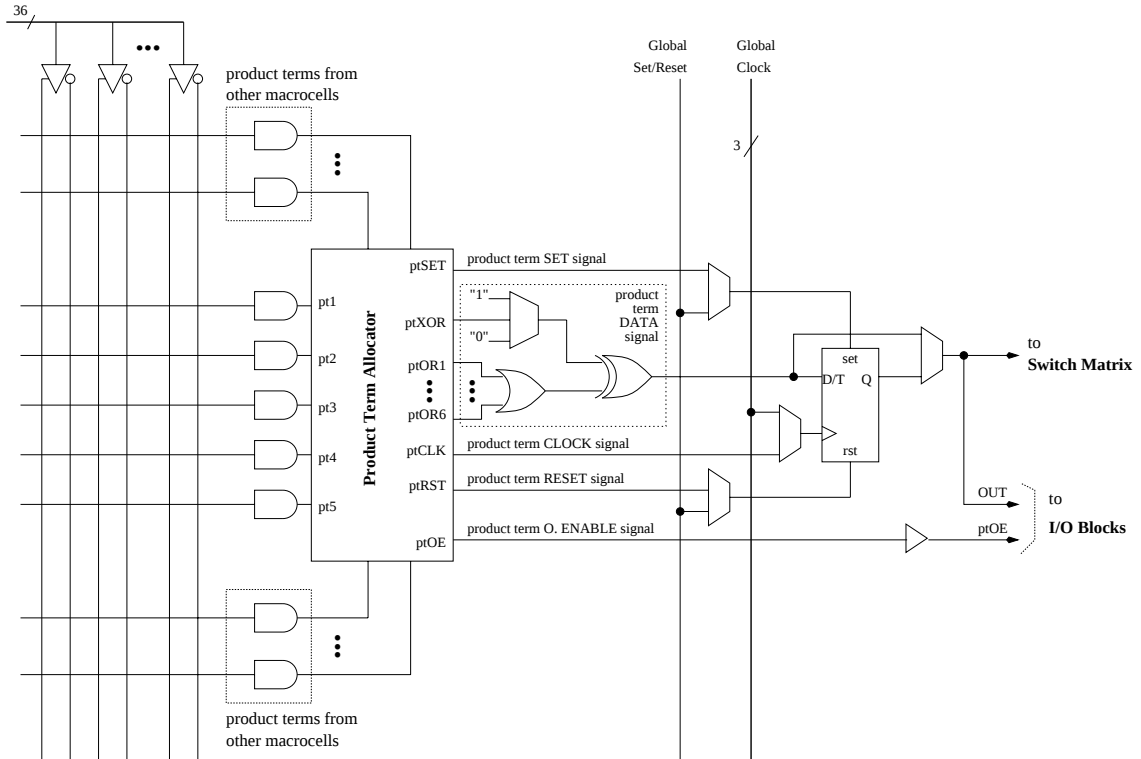


Figura 27: Uma macrocélula dum bloco funcional das CPLDs XC95xx.

3. Alocador de Termos de Produto

O alocador de termos de produto controla o modo como os termos de produto são utilizados na implementação da função lógica dentro de cada macrocélula. É possível implementar funções lógicas usando os termos de produto de forma diferente: (i) efectuando o OR das 5 entradas provenientes directamente do *array* de ANDs, (ii) efectuando o OR entre a saída duma porta OR (gerada tal como se explicou no ponto anterior) e os termos de produto provenientes de outras macrocélulas localizadas dentro do mesmo bloco funcional. Pode implementar-se uma função lógica usando no máximo 15 termos de produto.

O alocador de termos de produto associado com uma macrocélula pode gerar múltiplas somas de produto parciais, que podem ser usadas para implementar as funções lógicas dessa e de outras macrocélulas. Por exemplo, o alocador de termos de produto associado com uma dada macrocélula pode gerar 2 sinais: (i) o primeiro vai participar na obtenção

da função lógica dessa macrocélula, efectuando o OR de 3 termos de produto e (ii) o segundo é uma soma de produtos parcial, envolvendo 2 termos de produto, utilizada na implementação da função lógica de outra macrocélula. A figura 28 esquematiza a lógica que permite ao alocador de termos de produto concretizar as tarefas mencionadas.

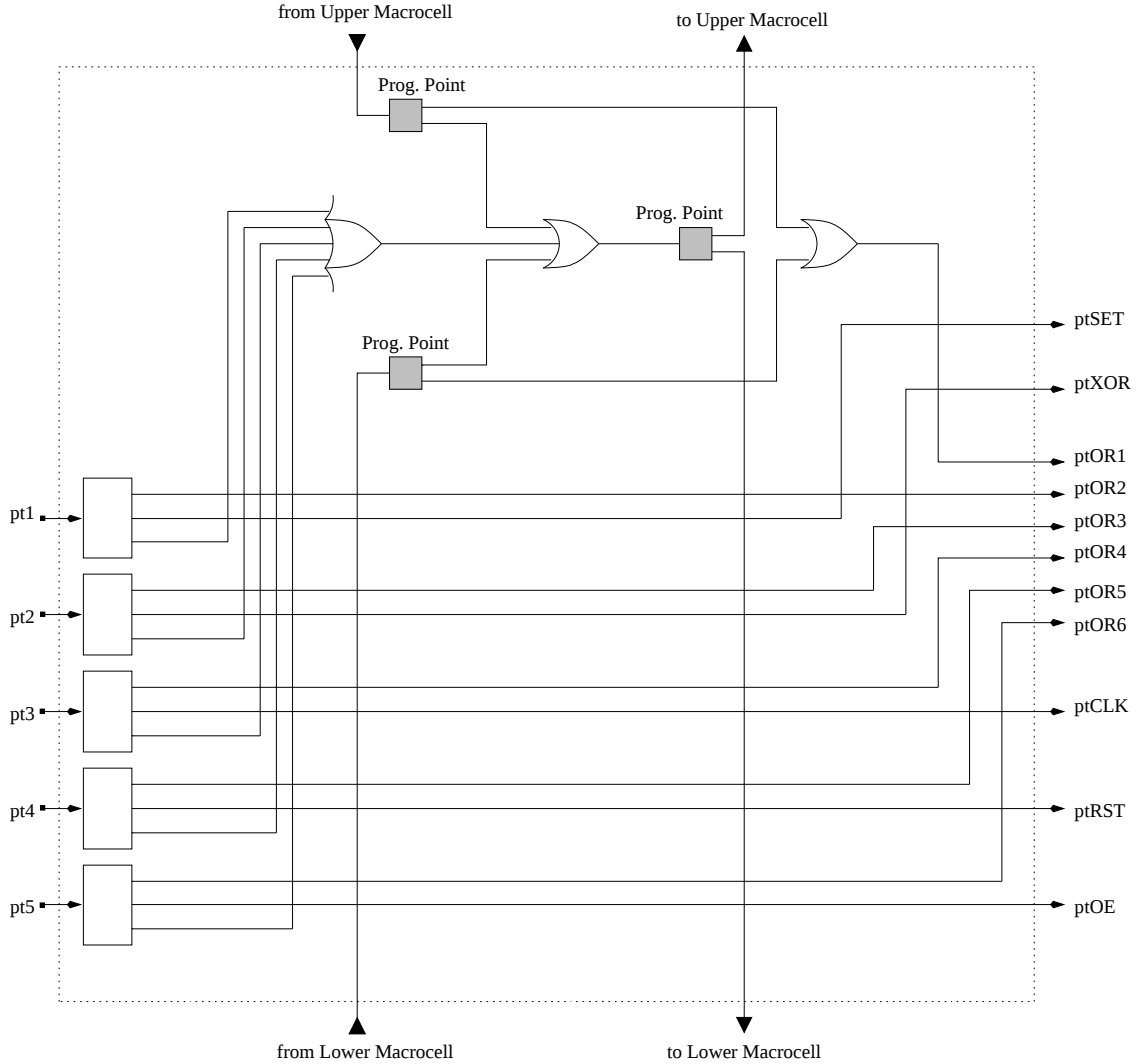


Figura 28: Lógica do alocador de termos de produto.

4. Matriz de Comutação

Como se pode ver pela figura 25, a matriz de comutação disponibiliza um conjunto de caminhos programáveis entre as suas entradas e as suas saídas. As entradas da matriz de comutação são as saídas dos *buffers* de entrada dos IOBs e as 18 saídas de cada bloco funcional. As saídas da matriz de comutação ligam às 36 entradas de cada bloco funcional.

5. Bloco de Entrada/Saída

O bloco de entrada/saída funciona como interface entre a lógica interna da CPLD e os pinos do encapsulamento. Cada IOB contém um *buffer* de entrada, um *buffer tri-state* para saída e lógica para gerar o sinal que controla o funcionamento do *buffer* de saída (figura 29). Este sinal pode ser gerado de várias formas: (i) é o sinal de *output enable* gerado pelo alocador de termos de produto associado com uma macrocélula, (ii) é um de entre os dois sinais de *output enable* globais (*OE1* ou *OE2*), (iii) é um sinal fixo a '1' ou (iv) é um sinal fixo a '0'. Cada *buffer* de saída pode fornecer até 24 mA.

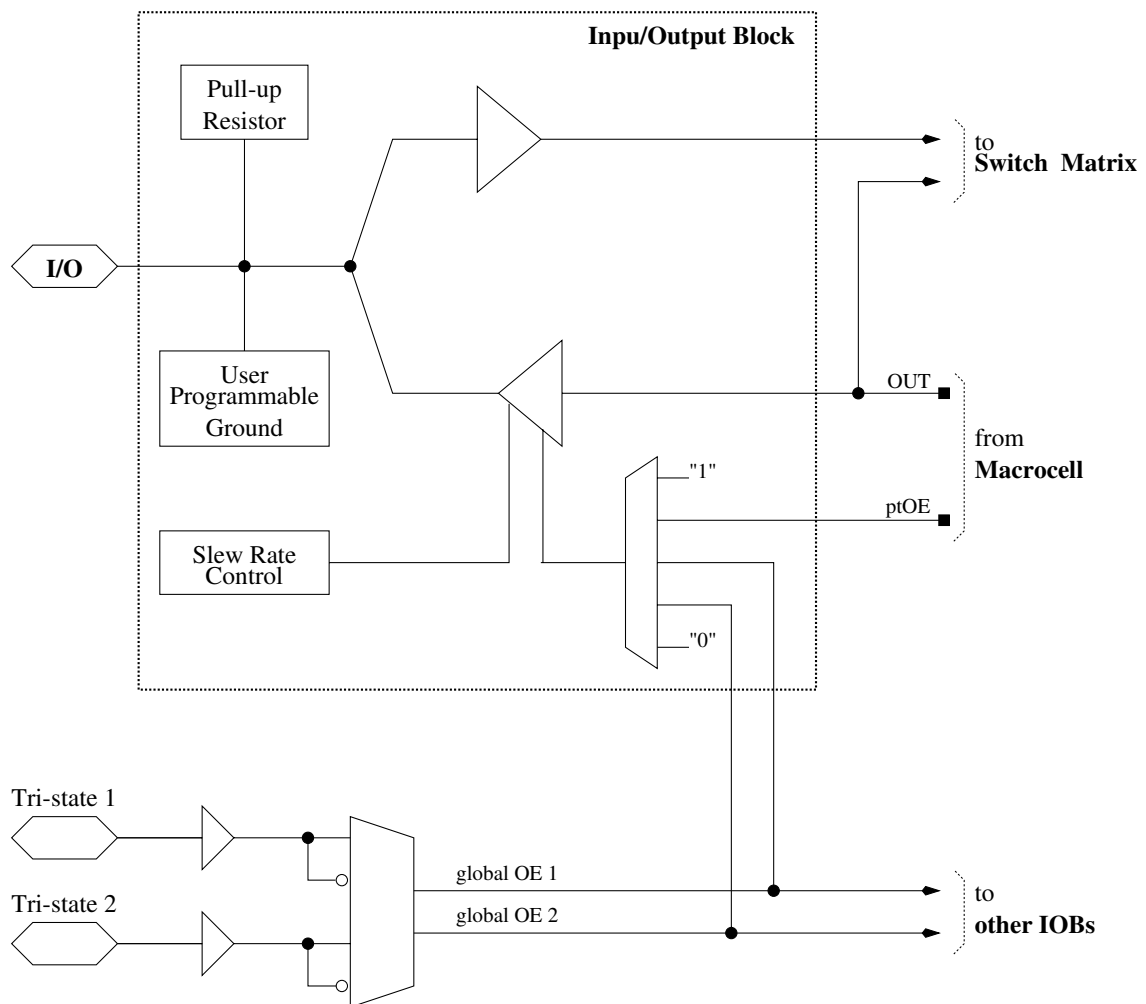


Figura 29: Bloco de entrada/saída (IOB).