

Teór: [ ] + [ ] + [ ] + Prát: = TOTAL:

Exame de Recurso  
Ano 2006/07  
Nome:

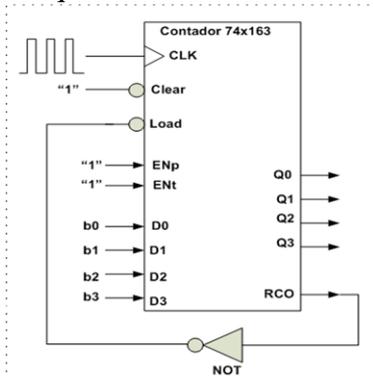
Sistemas Digitais I  
16/Jul/2007

LESI 2º ano  
Univ. Minho  
Nº:

As questões devem ser todas respondidas nas folhas de enunciado. As questões 1-5 são de escolha múltipla (apenas uma das respostas está correcta) e valem 1 ponto cada; caso o aluno escolha uma alternativa errada será descontado 1/3 ponto. A questão 6 vale 3 pontos e a questão 7 vale 4.5 pontos. Duração do exame: 1h45.

### Componente Teórica

- Dado  $R(A,B,C) = \prod_{A,B,C} M(1-3)$  e  $S(A,D,E) = \sum_{A,D,E} m(2,3,5-7)$ , a função  $R+S^D$  é representada por:
  - $A+B+D.E$
  - $A+B'.C'+D.E$
  - $A'.(C+D'+E)+B$
  - $A.D+B'.C'+D.E$
- Considerando um sinal de relógio **CLK** com período  $T=10ns$ , que valor se deve colocar em **b3b2b1b0** para que o sinal **RCO** tenha um o período de 50ns?



- "1011"
- "0101"
- "0110"
- "1010"

- Em VHDL, um comando *for-loop* ...
  - ... permite, ao nível do fluxo de dados, a repetição dum conjunto de comandos concorrentes.
  - ... pode usar-se no corpo duma função, pois é um comando concorrente.
  - ... possibilita a instanciação repetitiva de componentes do mesmo tipo.
  - ... tem de ser usado no contexto dum processo, pois trata-se dum comando sequencial.
- Qual das seguintes descrições VHDL, tem o comportamento dum *flip-flop* JK sensível às transições:
  - process (C, J, K)
 

```
begin
    if (C='1') then
        if (J='0' and K='1') then Q<='0'; QN<='1';
        elsif(J='1' and K='0') then Q<='1'; QN<='0';
        elsif(J='1' and K='1') then Q<=QN; QN<=Q;
    end if; end process;
```
  - process (C)
 

```
begin
    if (C'event and C='0') then
        if (J='0' and K='1') then Q<='0'; QN<='1';
        elsif(J='1' and K='0') then Q<='1'; QN<='0';
        elsif(J='1' and K='1') then Q<=QN; QN<=Q;
    end if; end process;
```
  - process (C)
 

```
begin
    if (C'event and C='1') then
        if (J='0' and K='1') then Q<='0'; QN<='1';
        elsif(J='1' and K='0') then Q<='1'; QN<='0';
    end if; end process;
```
  - process (C, J, K)
 

```
begin
    if (C'event and C='1') then
        if (J='0' and K='1') then Q<='0';
        elsif(J='1' and K='0') then Q<='1';
        elsif(J='1' and K='1') then Q<=QN;
    end if; end process;
```
- Relativamente às memórias de leitura/escrita, qual das seguintes afirmações é correcta:
  - Numa memória RAM estática (*SRAM*), o conteúdo mantém-se mesmo quando se desliga a alimentação.
  - Numa memória *RAM*, o tempo que demora a ler ou escrever um bit depende da sua localização.
  - Numa memória RAM dinâmica (*DRAM*), o conteúdo só se mantém se ele for repostado periodicamente.
  - Numa memória RAM volátil, o conteúdo mantém-se mesmo quando se desliga a alimentação.

**Componente Prática**

6. Considere a função  $Z(A,B,C,D,E)$  definida no mapa de Karnaugh abaixo:

	B	0	0	1	1
	C	0	1	1	0
DE					
00			1	1	1
01		1	1		1
11		1	1	1	1
10					

**A=0**

	B	0	0	1	1
	C	0	1	1	0
DE					
00					
01		X	1		
11		X	1		
10					

**A=1**

a) Apresente as expressões canônicas na forma SOP e POS de  $Z(A,B,C,D,E)$ , usando a notação de índices (apresente os mintermos por ordem crescente de índice).

b) Marque todos os **implicantes maiores** de  $Z$ , identificando os implicantes com etiquetas  $i_1$  a  $i_n$ .  
 [Use, se achar conveniente, cores e formatos diferentes para melhor assinalar os implicantes]

c) Complete correctamente os 6 espaços com números.

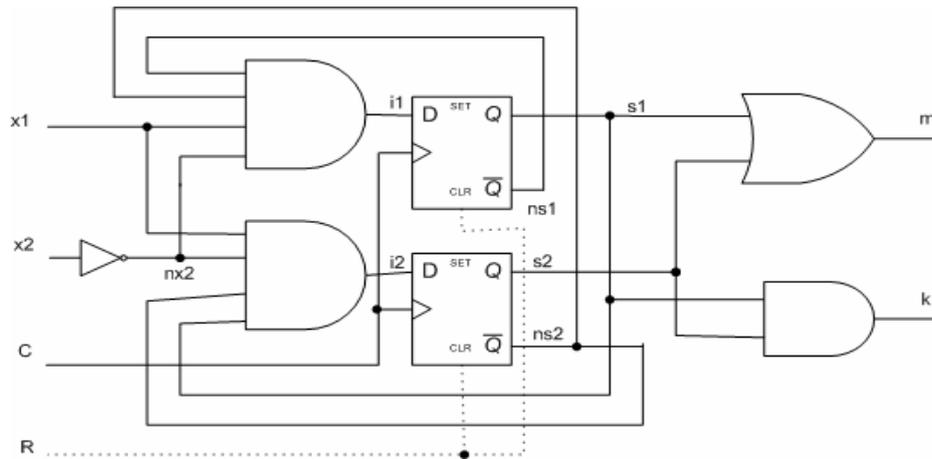
A forma canónica de  $Z$  inclui:

\_\_\_, \_\_\_ e \_\_\_ implicantes **maiores** com, respectivamente, 2, 4 e 8 células.

\_\_\_, \_\_\_ e \_\_\_ implicantes **essenciais** com, respectivamente, 2, 4 e 8 células.

d) Indique todas as soluções mínimas de  $Z$  no formato SOP, colocando, em cada produto, os literais pela ordem alfabética A-B-C-D-E (escreva, por exemplo,  $A.B.C.D.E'$  e não  $D.A.E'.C.B$ ):

7. Considere o seguinte circuito.



a. Assinale na figura os blocos típicos duma máquina de estados.

b. Apresente um diagrama de estados que possa ter resultado neste circuito.

c. Apresente uma implementação em VHDL deste circuito, respeitando os nomes dos sinais presentes na figura. Considere que existe um componente **FlipFlopD** que pode usar.