

Módulo 4

Introdução à linguagem VHDL

Objectivos

Pretende-se que o aluno descreva, na linguagem VHDL, circuitos combinatórios simples. É igualmente objectivo deste módulo que o aluno tenha um primeiro contacto com um ambiente de simulação (CAD electrónico), a fim de avaliar se a especificação do sistema está de acordo com o esperado.

Problemas

P1: Circuitos combinatórios

Descrever em VHDL, os seguintes circuitos:

1. semi-somador de 1 bit (figura 8).
2. somador de 1 bit completo (figura 9).
3. multiplexador 4:1 da figura 10.

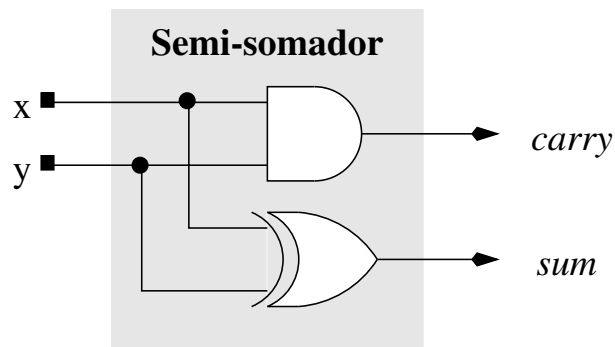


Figura 8: Diagrama do semi-somador.

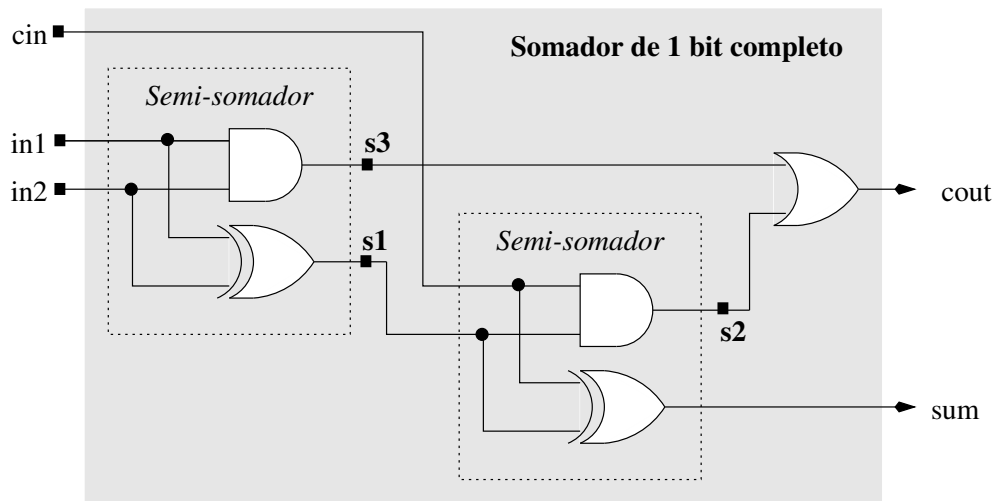


Figura 9: Diagrama do somador de 1 bit completo.

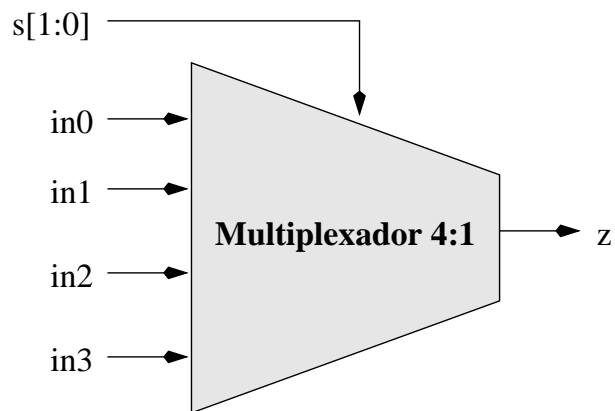


Figura 10: Diagrama do multiplexador 4:1.

P2: ALU de 1 bit

1. Descrever em VHDL a ALU (*Arithmetic and Logic Unit*) de 1 bit ilustrada na figura 11, a qual executa as operações E-lógico, OU-lógico e soma.

O resultado gerado pela ALU é determinado pela entrada *opcode*. Para descrever a ALU deve recorrer-se aos componentes *somador de 1 bit completo* e *multiplexador 4:1* (revisto para o caso de apenas 3 entradas) obtidos nos exercícios anteriores.

2. Simular a descrição obtida para a ALU através dum *testbench*, validando o funcionamento da ALU em cada uma das suas operações.
3. Alterar a ALU de 1 bit de modo a incluir as operações OU-lógico exclusivo, subtracção e complemento.

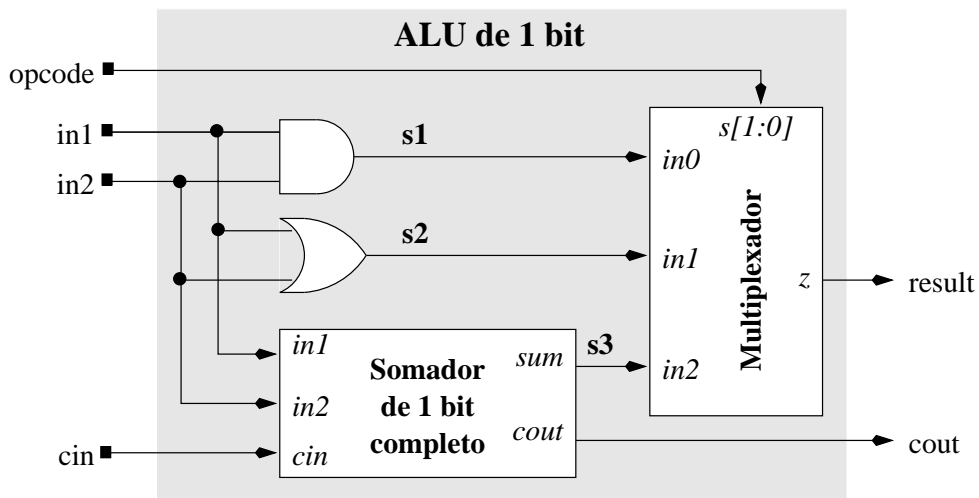


Figura 11: Diagrama da ALU de 1 bit.

