

Estrutura do tema ISC

1. Representação de informação num computador
2. Organização e estrutura interna dum computador
3. Execução de programas num computador
4. O processador e a memória num computador
5. Da comunicação de dados às redes
6. Evolução da tecnologia e da eficiência

Componentes (físicos) a analisar:

- a unidade de processamento / o processador:
 - o nível ISA (*Instruction Set Architecture*): tipos/formatos de instruções, acesso a operandos, ...
 - CISC versus RISC
 - **melhoria de eficiência** no processador: com paralelismo
 - **melhoramentos** fora do processador (ou *core*)
- a hierarquia de memória:
 - cache, memória virtual, ...
- periféricos:
 - interfaces humano-computador (HCI)
 - arquivo de informação
 - comunicações

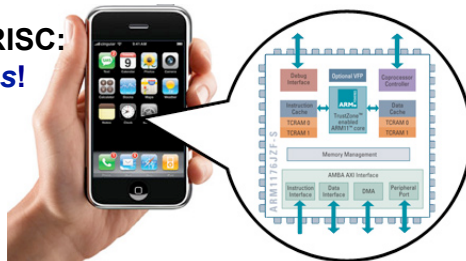
CISC versus RISC

A “revolução” dos Reduced Instruction Set Computers

Caracterização das arquiteturas RISC

- conjunto reduzido e simples de instruções
- formatos simples de instruções
- uma operação elementar por ciclo máquina
- operandos sempre em registos
- modos simples de endereçamento à memória

Exemplos de arquiteturas RISC: em todos os *smartphones*!



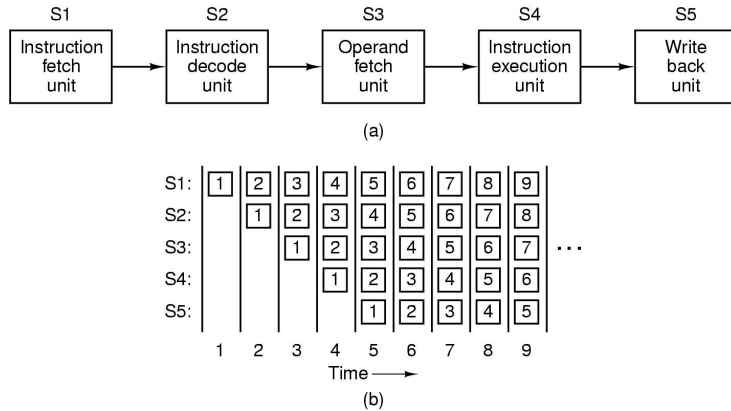
Eficiência nos Sistemas de Computação: oportunidades para melhorar

Oportunidades para melhorar o desempenho / eficiência

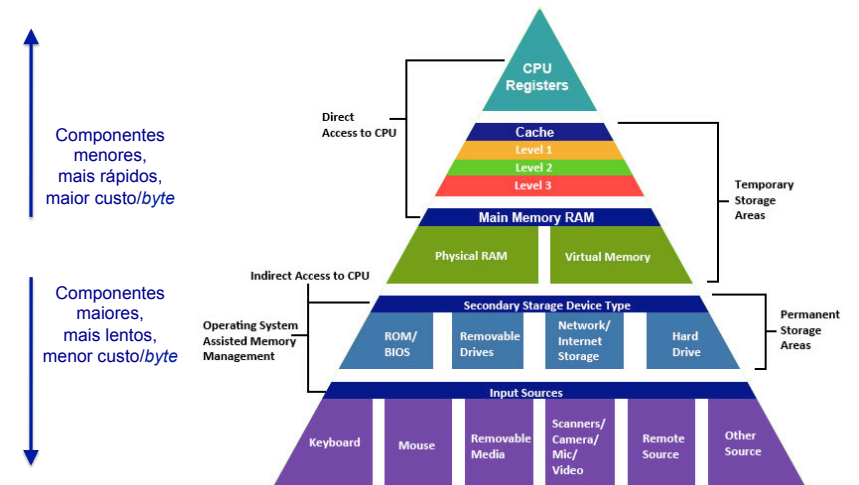
- com introdução de **paralelismo**
 - na execução das instruções no código bin (*Instruction Level Parallelism*)
 - paralelismo desfasado ou execução encadeada (*pipeline*)
 - paralelismo nos dados (processamento vetorial, MMX/SSE/AVX...)
 - paralelismo nas operações (VLIW, super-escalar)
 - com execução de instruções fora de ordem (*out-of-order execution*)
 - no acesso à memória
 - paralelismo desfasado (*interleaving*)
 - paralelismo "real" (maior largura do *bus*)
 - ao nível da aplicação (sistemas concorrentes/paralelos/distribuídos)
 - com fios de execução (*multithreading* => *multicore/multichip c/ mem partilhada*)
 - com processos (com memória distribuída)
- com **hierarquia de memória** (para diminuir latência)
 - *cache* ...

Paralelismo no processador:
exemplo

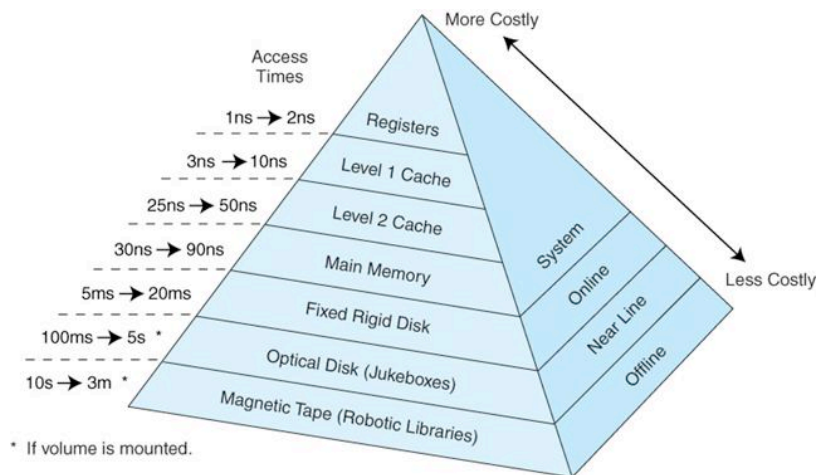
Exemplo de pipeline



Hierarquia de memória (1)

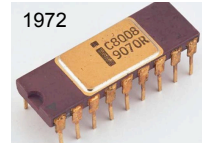
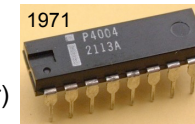


Hierarquia de memória (2)

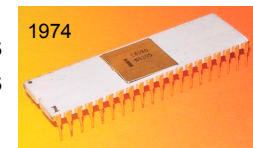


Evolução dos processadores da Intel até à família Intel x86

4004: 1º processador num único chip (microprocessador)



8008 e 8080: 1ºs microprocessadores de 8 bits



8088 e 8086: 1ºs microprocessadores de 16 bits (selecionados para o IBM PC)



Evolução do Intel x86 : pré-Pentium (visão do programador)

Evolução do IA-32: família Pentium (visão do programador)

Nome	Data	Nº transístores	
8086	1978	29K	– processador 16-bits (registos + ALU); base do IBM PC & DOS – espaço de endereçamento limitado a 1MB (DOS apenas vê 640K)
80286	1982	134K	– endereço 24-bits e protected-mode; base do IBM PC-AT & Windows
386	1985	275K	→ primeiro IA-32 !! – estendido para 32-bits: registos + op. inteiros + endereçamento – memória segmentada+paginada, capaz de correr Unix
486	1989	1.9M	– integração num único chip: 386, co-proc 387, até 16kB cache L1 – poucas alterações na arquitetura interna do processador

AJProença, Sistemas de Computação, UMinho, 2015/16

9

Pentium	1993	3.1M	(= P5 , aka i586) – arquitetura superescalar, com 2 pipelines de inteiros (de 5 níveis)
PentiumPro	1995	5.5M	(= P6 , aka i686) – out-of-order execution, 14 níveis pipeline, 3-issue superscalar – endereço 36-bits, cache L2 on-package
Pentium/MMX	1997	4.5M	– SIMD: opera com vetores de 64-bits, tipo <i>int</i> de 1, 2, ou 4 bytes
Pentium II	1997	7.5M	(= Pro + MMX)
Pentium III	1999	8.2M	(+Celeron, +Xeon) – “Streaming SIMD Ext”, SSE: vetores 128-bits, <i>int</i> / <i>fp</i> 1/2/4 bytes
Pentium 4	2000	42M	(= NetBurst , aka i786) – trace cache, pipeline muito longo (20 ou 31), suporta multi-threading – SSE2: mais instruções e com dados <i>fp</i> de 8-bytes
Pentium M	2003	77M	(= P-M) – arquitetura mais próxima do Pentium III (eficiência energética)

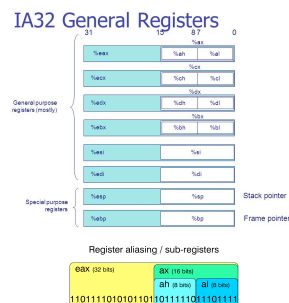
AJProença, Sistemas de Computação, UMinho, 2015/16

10

Evolução do IA-32 para Intel 64 (visão do programador)

Intel 64 ≠ IA-64 (Itanium)

- IA-32 ou x86 open architecture cresce para 64-bits
 - HP e Intel propõem arquitetura incompatível, IA-64 (Itanium CPU)
 - AMD anuncia em 1999 extensão do x86: x86-64
 - Intel segue AMD: IA-32e (Fev-04), EM64T (Mar-04), ou Intel 64 (2006)
 - AMD64 e Intel 64 diferentes; compiladores usam sub-set comum



AJProença, Sistemas de Computação, UMinho, 2015/16

11

x86-64 Integer Registers

%rax	%eax	%r8	%r8d
%rbx	%ebx	%r9	%r9d
%rcx	%ecx	%r10	%r10d
%rdx	%edx	%r11	%r11d
%rsi	%esi	%r12	%r12d
%rdi	%edi	%r13	%r13d
%rsp	%esp	%r14	%r14d
%rbp	%ebp	%r15	%r15d

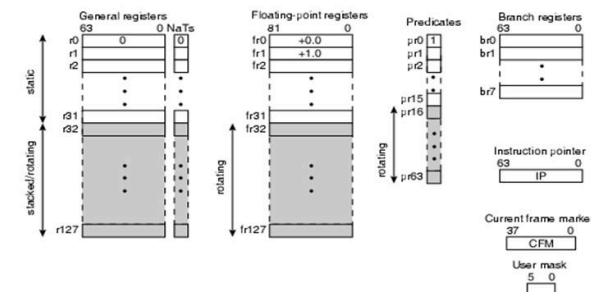
• Twice the number of registers
• Accessible as 8, 16, 32, 64 bits

x86-64 Integer Registers

%rax	%eax	%r8	%r8d
%rbx	%ebx	%r9	%r9d
%rcx	%ecx	%r10	%r10d
%rdx	%edx	%r11	%r11d
%rsi	%esi	%r12	%r12d
%rdi	%edi	%r13	%r13d
%rsp	%esp	%r14	%r14d
%rbp	%ebp	%r15	%r15d

• Twice the number of registers
• Accessible as 8, 16, 32, 64 bits

IA-64 Register Set



AJProença, Sistemas de Computação, UMinho, 2015/16

12

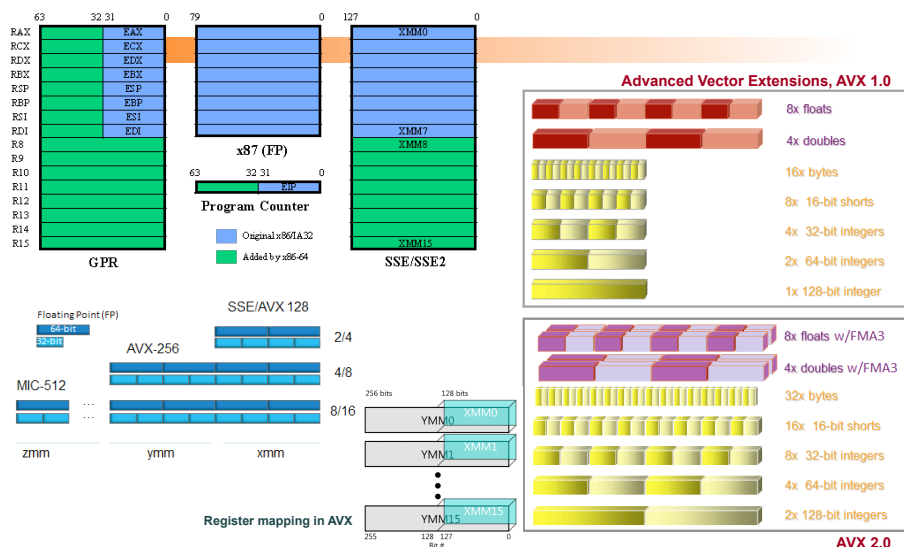
Arquiteturas Intel 64 com maior integração (visão do programador)

- arquitetura **Core** surge em 2006 (151M transístores)
 - desenvolvida pela mesma equipa que o P-M (Israel)
 - 14 níveis de pipeline (como P6), mas 4-issue superscalar
 - 2 níveis de cache on-chip
 - multi-core on-chip e virtualização por h/w
 - suporta fusão de instruções RISC (μ -ops na terminologia Intel)
 - arquitetura Core 2 é integralmente 64-bit (Intel 64)
- arquitetura **Nehalem** anunciada em 2008 (731M transístores)
 - inspirada no NetBurst (com multi-threading e maiores clock rates)
 - 2 a 8 cores por chip, com cache L3 on-chip
 - com conexão ponto-a-ponto inter-CPU_chips
 - integra controlador de memória numa arquitetura NUMA

Arquiteturas Intel 64 com maior integração (visão do programador)

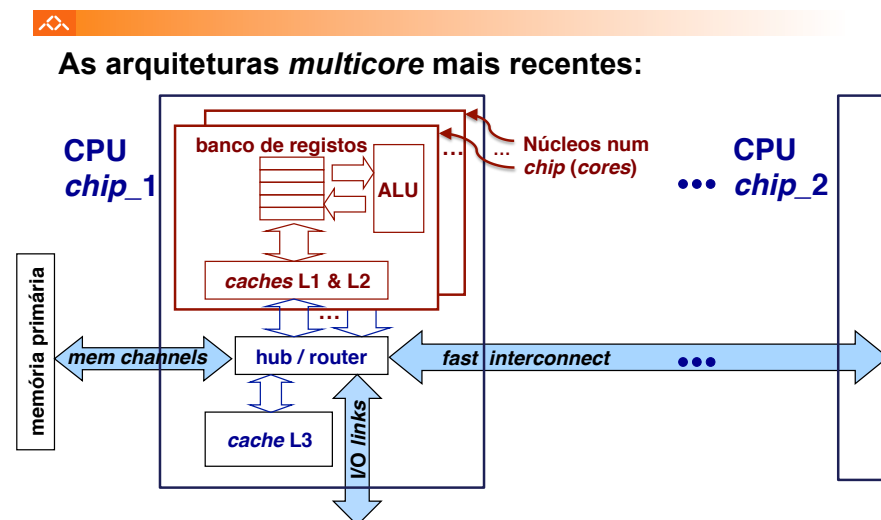
- arquitetura **Sandy Bridge** anunciada em 2010 (>1,000M transístores)
 - ensaio de arquitetura híbrida multicore, integrando o processador gráfico
 - interface com o processador gráfico através da cache L3
 - processamento vetorial de fp estendido para 256-bits (AVX)
 - integração no chip do interface PCIe 16x
- arquitetura **Haswell** anunciada em 2013 (>5,500M transístores)
 - nível adicional de cache para μ -ops (formato RISC)
 - processamento vetorial integral com 256-bits (AVX2)
 - 2 unidades vetoriais para operações com inteiros
 - até 18 cores e 45MB de cache L3 (Xeon)

Extensões de processamento vetorial no Intel 64



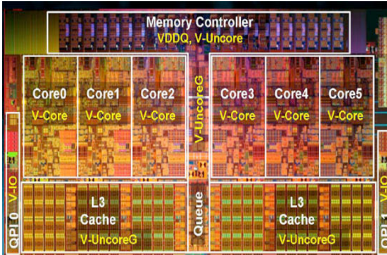
Coming soon: AVX-512

A hierarquia de cache em arquiteturas multicore

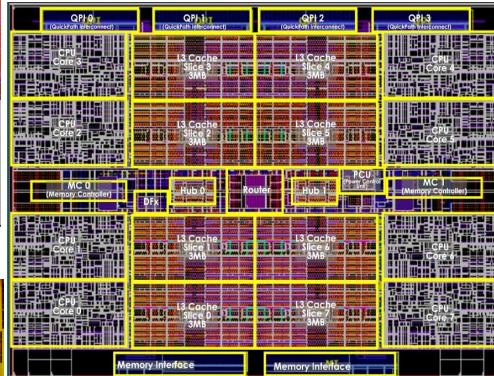


Gerações de Pentium “de ontem”

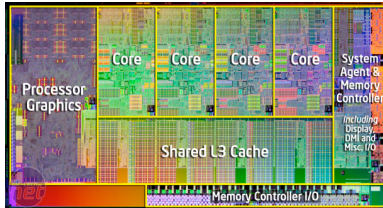
Intel Hex-Core Nehalem (1.17 mil milhões de transistores)



Intel Octal-Core Nehalem (2.3 mil milhões de transistores)

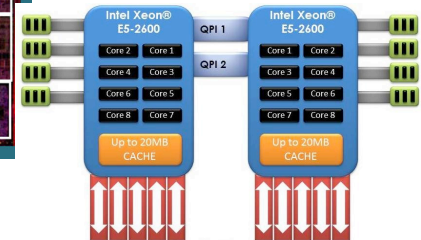
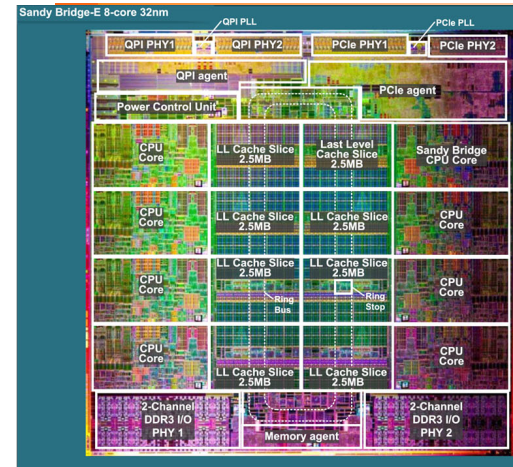


Intel Quad-Core + GPU Sandy Bridge (low end)



AJProença, Sistemas de Computação, UMinho, 2015/16

Lançamento da Intel em 2012: Sandy/Ivy Bridge (8-core)



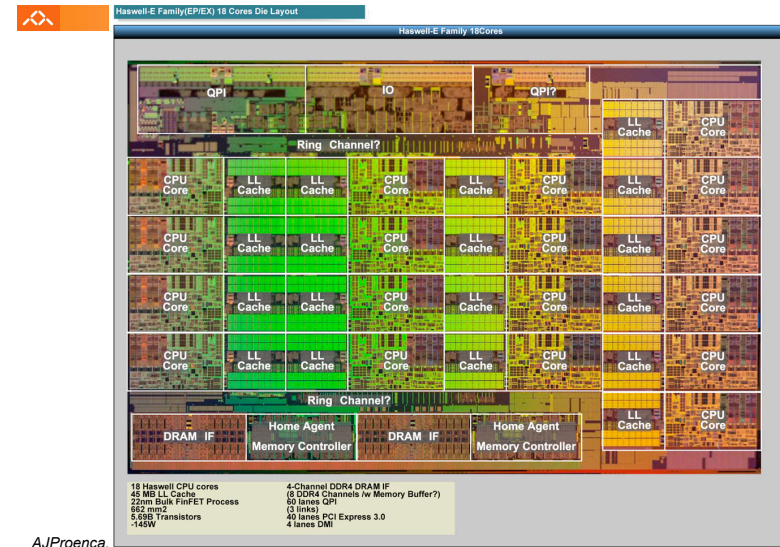
AJProença, Sistemas de Computação, UMinho, 2015/16

Lançamento da Intel em 2013: 8 configurações para i5 & i7 Haswell

Lançamento da Intel em 2016 (?): 18-core Haswell Xeon

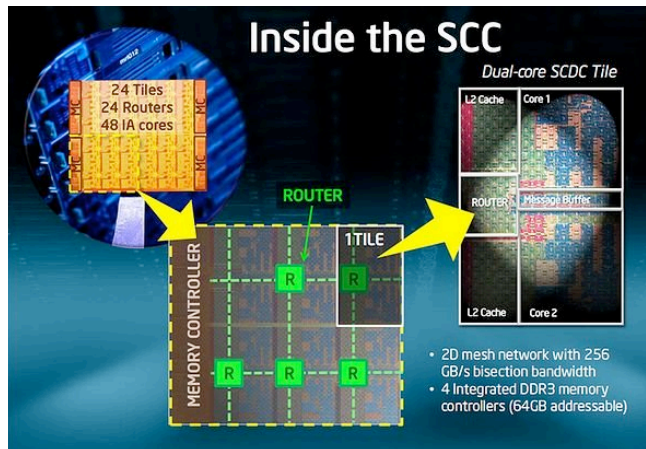


Sistemas de Computação, UMinho, 2015/16



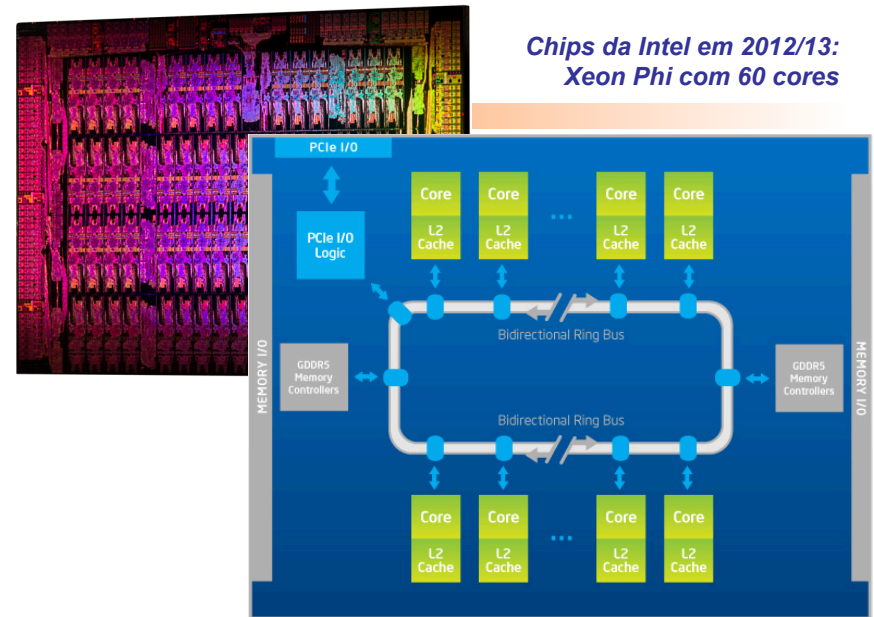
AJProença,

**Protótipos da Intel em 2010/11:
Single-chip Cloud Computer**



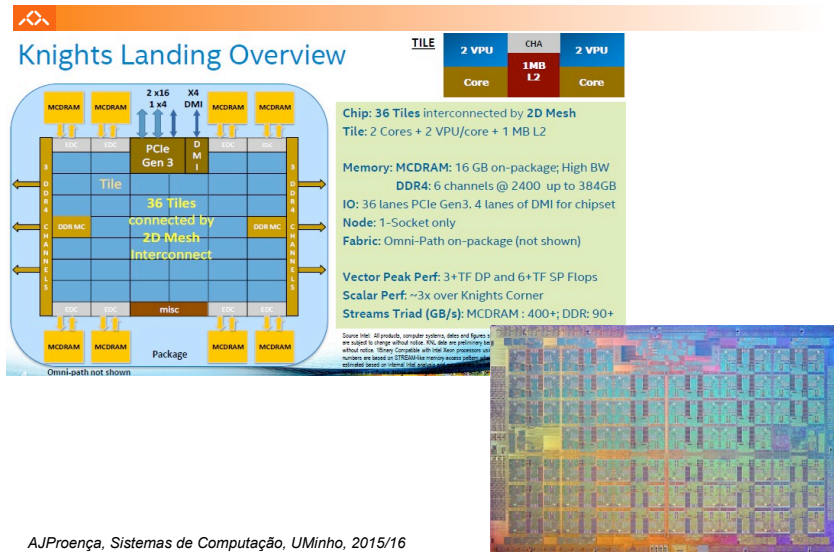
AJProença, *Sistemas de Computação, UMinho, 2015/16*

**Chips da Intel em 2012/13:
Xeon Phi com 60 cores**



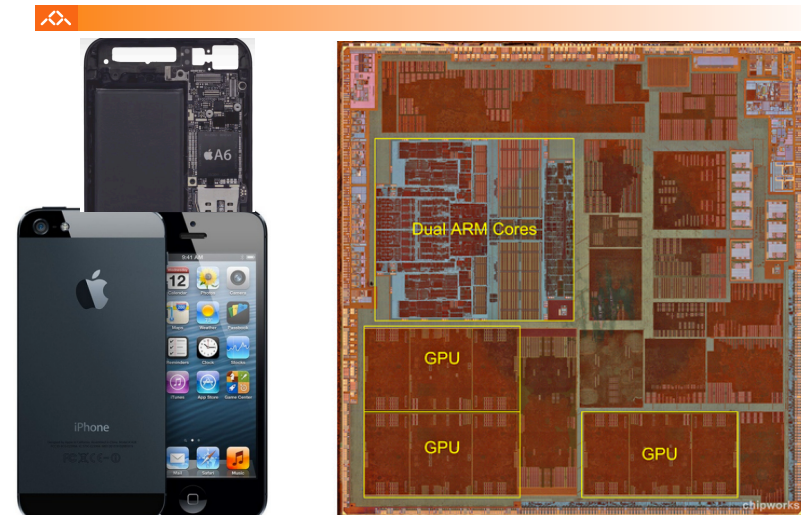
AJProença, *Sistemas de Computação, UMinho, 2015/16*

**Chips da Intel em 2016:
Xeon Phi com 72 cores**



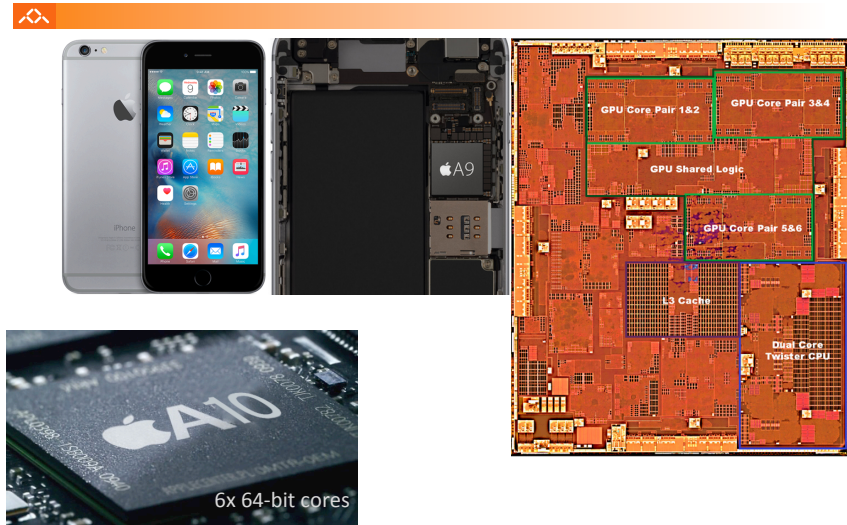
AJProença, *Sistemas de Computação, UMinho, 2015/16*

**Exemplo de chip com processadores RISC:
2x ARM's no A6 do iPhone 5**



AJProença, *Sistemas de Computação, UMinho, 2015/16*

**Exemplo de chip com processadores RISC:
dos 2x ARM cores no A9 para 6x cores no A10 do próximo iPhone**



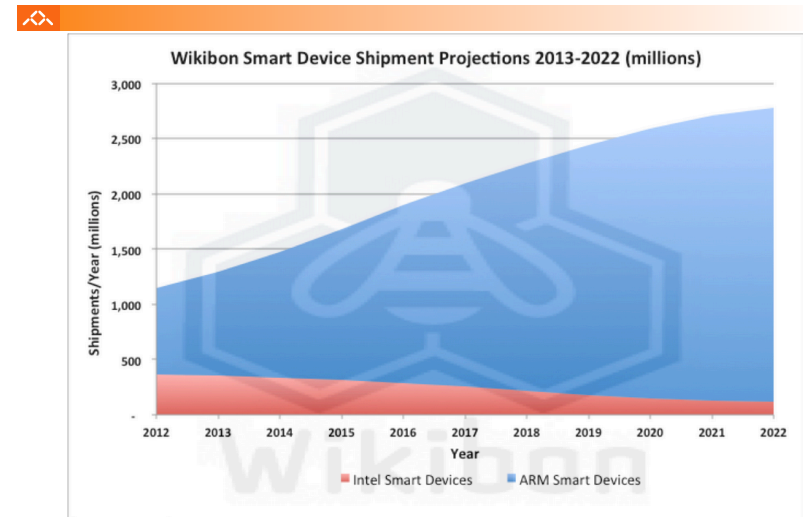
AJProença, Sistemas de Computação, UMinho, 2015/16

**Exemplo de chip com processadores RISC:
4+1 ARM's no Tegra 4i da Nvidia**

**Exemplo de chip com processadores RISC:
4+4 ARM's no Exynos 5 Octa, Galaxy S 4**

AJProença, Sistemas de Computação, UMinho, 2015/16

Processadores Intel versus ARM



Source: Wikibon 2013, IDC & Gartner 2012 shipments & Wikibon 2013-2022 projections. Assumption: Apple & Microsoft migrate to successful 64-bit ARM.

AJProença, Sistemas de Computação, UMinho, 2015/16