

Estrutura do tema ISC

1. Representação de informação num computador
2. Organização e estrutura interna dum computador
3. Execução de programas num computador
4. O processador e a memória num computador
5. Da comunicação de dados às redes
6. Evolução da tecnologia e da eficiência

Componentes (físicos) a analisar:

- a unidade de processamento / o processador:
 - o nível ISA (*Instruction Set Architecture*):
tipos/formatos de instruções, acesso a operandos, CISC/RISC...
 - CISC versus RISC
 - **melhoria de eficiência** no processador: com paralelismo
 - **melhoramentos** fora do processador (ou *core*)
 - **evolução** da arquitetura x-86 da Intel
- a hierarquia de memória:
cache, memória virtual, ...
- periféricos...

CISC versus RISC

A “revolução” dos Reduced Instruction Set Computers

Caracterização das arquiteturas RISC

- conjunto reduzido e simples de instruções
- formatos simples de instruções
- uma operação elementar por ciclo máquina
- operandos sempre em registos
- modos simples de endereçamento à memória

Exemplos de arquiteturas RISC: em todos os smartphones!



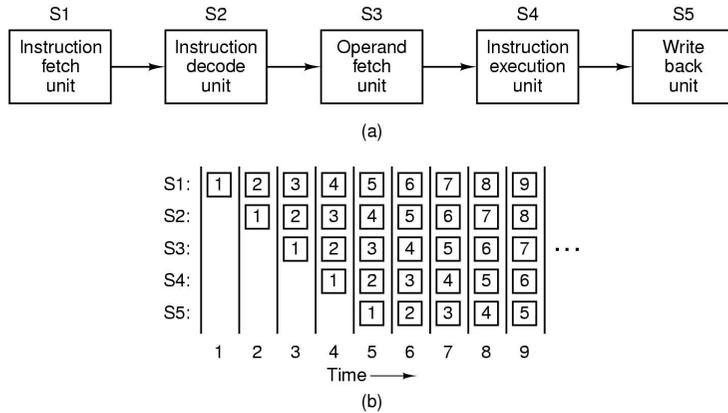
Eficiência nos Sistemas de Computação: oportunidades para melhorar

Oportunidades para melhorar o desempenho / eficiência

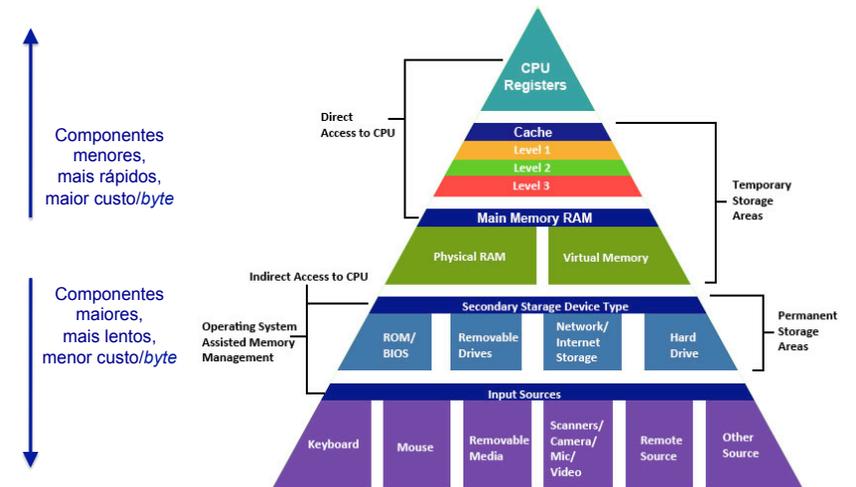
- com introdução de **paralelismo**
 - na execução de instruções em binário (*Instruction Level Parallelism*)
 - paralelismo desfasado ou execução encadeada (*pipeline*)
 - paralelismo nos dados (processamento vetorial, MMX/SSE/AVX...)
 - paralelismo nas operações (VLIW, super-escalar)
 - com execução de instruções fora de ordem (*out-of-order execution*)
 - no acesso à memória
 - paralelismo desfasado (*interleaving*)
 - paralelismo "real" (maior largura do *bus*)
 - ao nível da aplicação (sistemas concorrentes/paralelos/distribuídos)
 - com fios de execução (*multithreading* => *multicore/multichip c/ mem partilhada*)
 - com processos (com memória distribuída)
- com **hierarquia de memória** (para diminuir latência)
 - cache ...

Paralelismo no processador:
exemplo

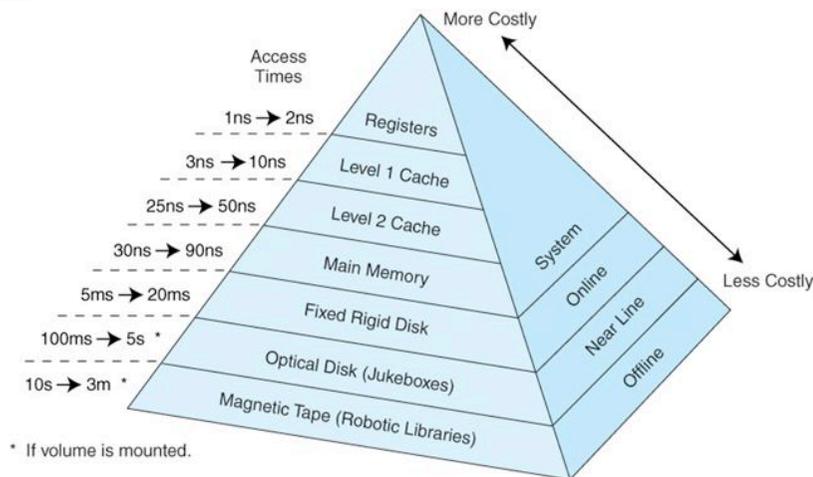
Exemplo de pipeline



Hierarquia de memória (1)

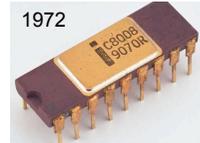


Hierarquia de memória (2)



Evolução dos processadores da Intel até à família Intel x86

4004: 1º processador num único chip (microprocessador)



8008 e 8080: 1ºs microprocessadores de 8 bits



8088 e 8086: 1ºs microprocessadores de 16 bits (selecionados para o IBM PC)



Evolução do Intel x86 : pré-Pentium (visão do programador)

Evolução do IA-32: família Pentium (visão do programador)

Nome	Data	Nº transístores	
8086	1978	29K	– processador 16-bits (registos + ALU); base do IBM PC & DOS – espaço de endereçamento limitado a 1MB (DOS apenas vê 640K)
80286	1982	134K	– endereço 24-bits e protected-mode; base do IBM PC-AT & Windows
386	1985	275K	→ primeiro IA-32 !! – estendido para 32-bits: registos + op. inteiros + endereçamento – memória segmentada+paginada, capaz de correr Unix
486	1989	1.9M	– integração num único chip: 386, co-proc 387, até 16kB cache L1 – poucas alterações na arquitetura interna do processador

Pentium	1993	3.1M	(= P5 , aka i586) – arquitetura superescalar, com 2 pipelines de inteiros (de 5 níveis)
PentiumPro	1995	5.5M	(= P6 , aka i686) – out-of-order execution, 14 níveis pipeline, 3-issue superscalar – endereço 36-bits, cache L2 on-package
Pentium/MMX	1997	4.5M	– SIMD: opera com vetores de 64-bits, tipo <i>int</i> de 1, 2, ou 4 bytes
Pentium II	1997	7.5M	(= Pro + MMX)
Pentium III	1999	8.2M	(+Celeron, +Xeon) – “Streaming SIMD Ext”, SSE: vetores 128-bits, <i>int</i> / <i>fp</i> 1/2/4 bytes
Pentium 4	2000	42M	(= NetBurst , aka i786) – trace cache, pipeline muito longo (20 ou 31), suporta multi-threading – SSE2: mais instruções e com dados <i>fp</i> de 8-bytes
Pentium M	2003	77M	(= P-M) – arquitetura mais próxima do Pentium III (eficiência energética)

AJProença, Sistemas de Computação, UMinho, 2016/17

9

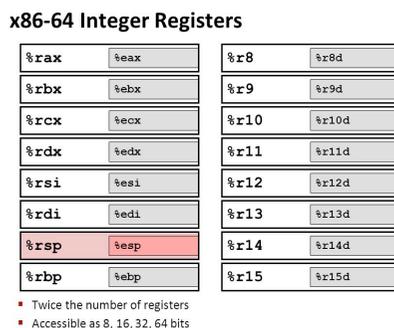
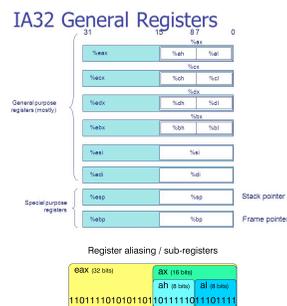
AJProença, Sistemas de Computação, UMinho, 2016/17

10

Evolução do IA-32 para Intel 64 (visão do programador)

Intel 64 ≠ IA-64 (Itanium): nos registos

- IA-32 ou *x86 open architecture* cresce para 64-bits
 - HP e Intel propõem arquitetura *incompatível* c/ IA-32: IA-64 (Itanium CPU)
 - AMD anuncia em 1999 *extensão* do x86: x86-64
 - Intel segue AMD: IA-32e (Fev-04), EM64T (Mar-04), ou **Intel 64** (2006)
 - AMD64 e Intel 64 diferentes, mas compiladores usam sub-set comum



AJProença, Sistemas de Computação, UMinho, 2016/17

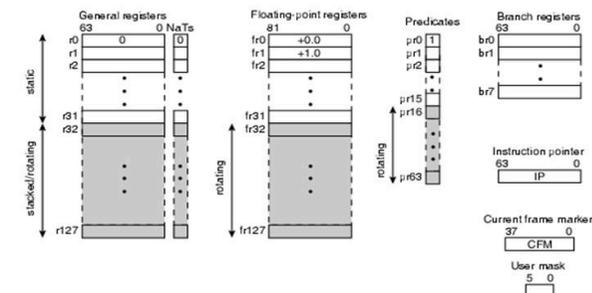
11

x86-64 Integer Registers

%rax	%eax	%r8	%r8d
%rbx	%ebx	%r9	%r9d
%rcx	%ecx	%r10	%r10d
%rdx	%edx	%r11	%r11d
%rsi	%esi	%r12	%r12d
%rdi	%edi	%r13	%r13d
%rsp	%esp	%r14	%r14d
%rbp	%ebp	%r15	%r15d

- Twice the number of registers
- Accessible as 8, 16, 32, 64 bits

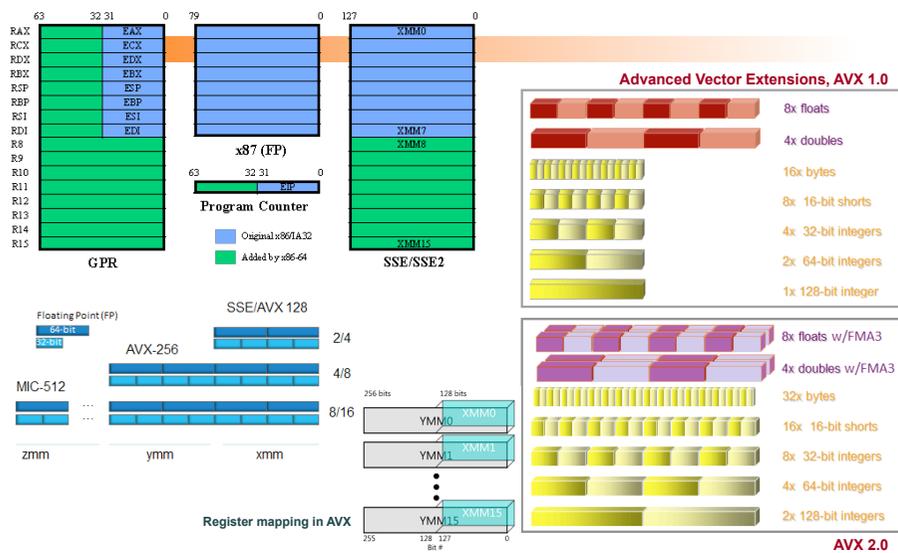
IA-64 Register Set



AJProença, Sistemas de Computação, UMinho, 2016/17

12

Extensões de processamento vetorial no Intel 64



AJProença, Sistemas de Computação, UMinho, 2016/17

Coming soon: AVX-512

13



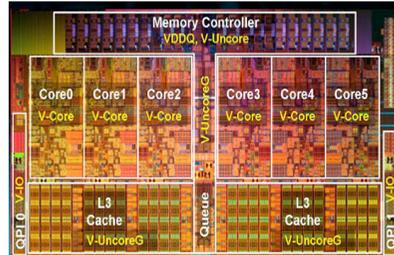
- arquitetura **Core** surge em 2006 (151M transistores)
 - desenvolvida pela mesma equipa que o P-M (Israel)
 - 14 níveis de pipeline (como P6), mas 4-issue superscalar
 - 2 níveis de cache on-chip
 - multi-core on-chip e virtualização por h/w
 - suporta fusão de instruções RISC (μ -ops na terminologia Intel)
 - arquitetura Core 2 é integralmente 64-bit (Intel 64)
- arquitetura **Nehalem** anunciada em 2008 (731M transistores)
 - inspirada no NetBurst (com multi-threading e maiores clock rates)
 - 2 a 8 cores por chip, com cache L3 on-chip
 - com conexão ponto-a-ponto inter-CPU_chips
 - integra controlador de memória numa arquitetura NUMA

AJProença, Sistemas de Computação, UMinho, 2016/17

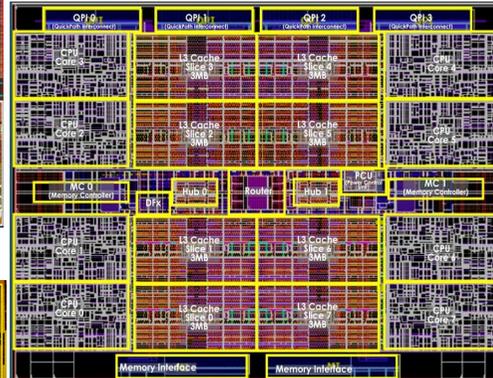
14

Gerações de Pentium “de ontem”

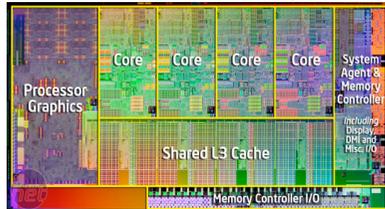
Intel Hex-Core Nehalem (1.17 mil milhões de transistores)



Intel Octal-Core Nehalem (2.3 mil milhões de transistores)



Intel Quad-Core + GPU Sandy Bridge (low end)



AJProença, Sistemas de Computação, UMinho, 2016/17

15

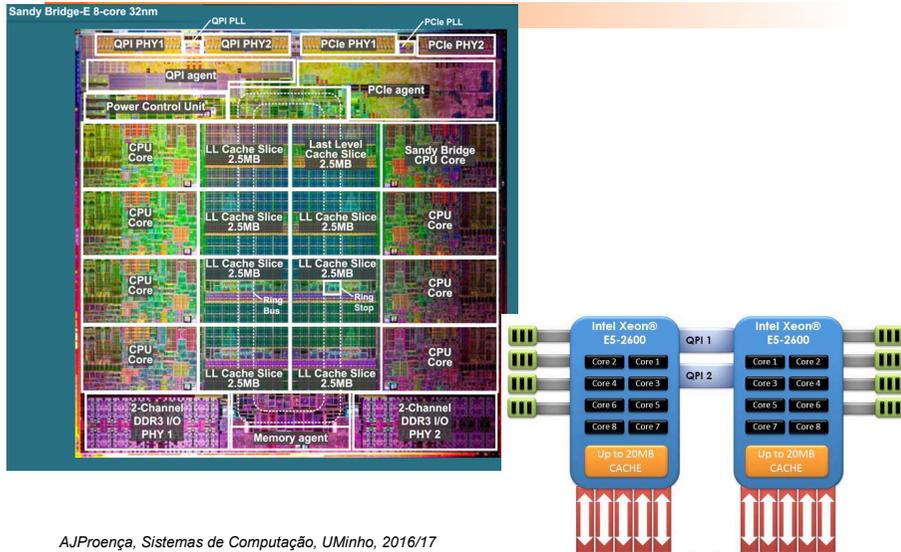


- arquitetura **Sandy Bridge** anunciada em 2010 (>1,000M transistores)
 - ensaio de arquitetura híbrida multicore, integrando o processador gráfico
 - interface com o processador gráfico através da cache L3
 - processamento vetorial de fp estendido para 256-bits (AVX)
 - integração no chip do interface PCIe 16x
- arquitetura **Haswell** anunciada em 2013 (>5,500M transistores)
 - nível adicional de cache para μ -ops (formato RISC)
 - processamento vetorial integral com 256-bits (AVX2)
 - 2 unidades vetoriais para operações com inteiros
 - até 22 cores e 55MB de cache L3 (Xeon)
 - introdução de cache L4 de 128MB, eDRAM (off-chip, on-package)
- arquitetura **Skylake** anunciada em 2015 (>8,000M transistores)
 - mais 1 unidade vetorial para operações com inteiros (total: 3)
 - AVX-512 para topo de gama Xeon (inexistente no 1º trimestre 2017)

AJProença, Sistemas de Computação, UMinho, 2016/17

16

Lançamento da Intel em 2012: Sandy/Ivy Bridge (8-core)



AJProença, Sistemas de Computação, UMinho, 2016/17

Arquiteturas Intel 64 com maior integração (visão do programador)

- arquitetura **Sandy Bridge** anunciada em 2010 (>1,000M transistores)
 - ensaio de arquitetura híbrida multicore, integrando o processador gráfico
 - interface com o processador gráfico através da cache L3
 - processamento vetorial de fp estendido para 256-bits (AVX)
 - integração no chip do interface PCIe 16x
- arquitetura **Haswell** anunciada em 2013 (>5,500M transistores)
 - nível adicional de cache para μ -ops (formato RISC)
 - processamento vetorial integral com 256-bits (AVX2)
 - 2 unidades vetoriais para operações com inteiros
 - até 22 cores e 55MB de cache L3 (Xeon)
 - introdução de cache L4 de 128MB, eDRAM (off-chip, on-package)
- arquitetura **Skylake** anunciada em 2015 (>8,000M transistores)
 - mais 1 unidade vetorial para operações com inteiros (total: 3)
 - AVX-512 para topo de gama Xeon (inexistente no 1º trimestre 2017)

AJProença, Sistemas de Computação, UMinho, 2016/17

18

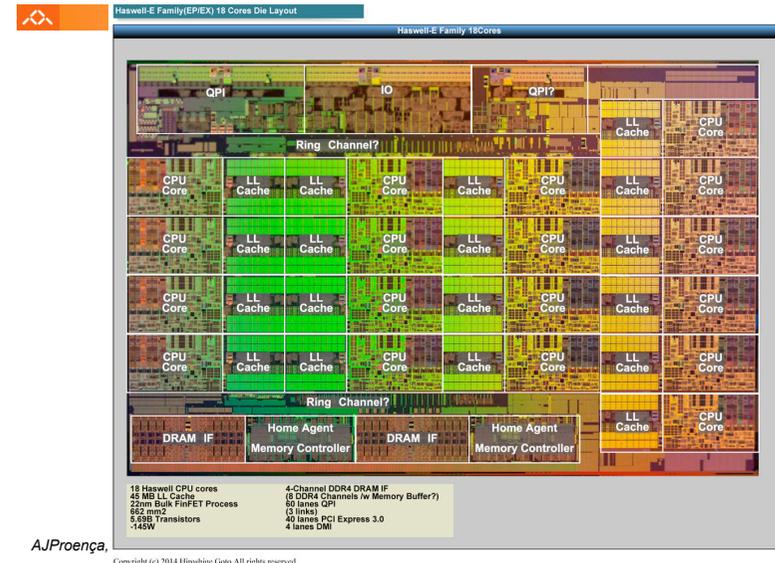
Lançamento da Intel em 2013: 8 configurações para i5 & i7 Haswell



Sistemas de Computação, UMinho, 2016/17

19

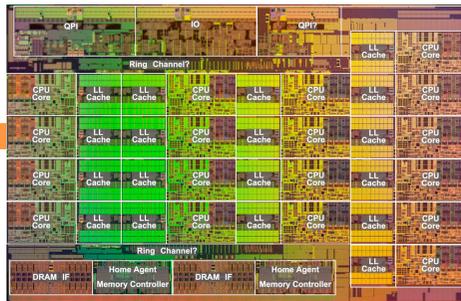
Lançamento da Intel em 2016: 18-core Xeon Haswell



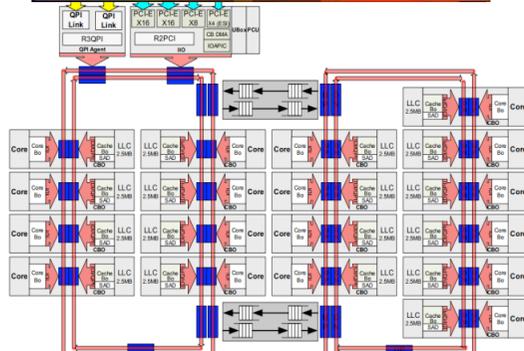
AJProença,

Copyright (c) 2014 Hiroshige Goto. All rights reserved.

20

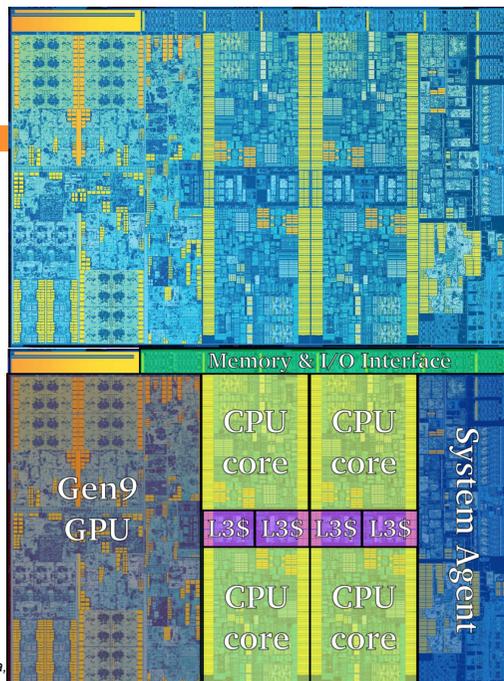


Intel 18-core Xeon Haswell



Arquiteturas Intel 64 com maior integração (visão do programador)

- arquitetura **Sandy Bridge** anunciada em 2010 (>1,000M transistores)
 - ensaio de arquitetura híbrida multicore, integrando o processador gráfico
 - interface com o processador gráfico através da cache L3
 - processamento vetorial de fp estendido para 256-bits (AVX)
 - integração no chip do interface PCIe 16x
- arquitetura **Haswell** anunciada em 2013 (>5,500M transistores)
 - nível adicional de cache para μ -ops (formato RISC)
 - processamento vetorial integral com 256-bits (AVX2)
 - 2 unidades vetoriais para operações com inteiros
 - até 22 cores e 55MB de cache L3 (Xeon)
 - introdução de cache L4 de 128MB, eDRAM (off-chip, on-package)
- arquitetura **Skylake** anunciada em 2015 (>8,000M transistores)
 - mais 1 unidade vetorial para operações com inteiros (total: 3)
 - AVX-512 para topo de gama Xeon (inexistente no 1º trimestre 2017)



Intel 4-core Xeon Skylake

GPU integrado com 24 EU's

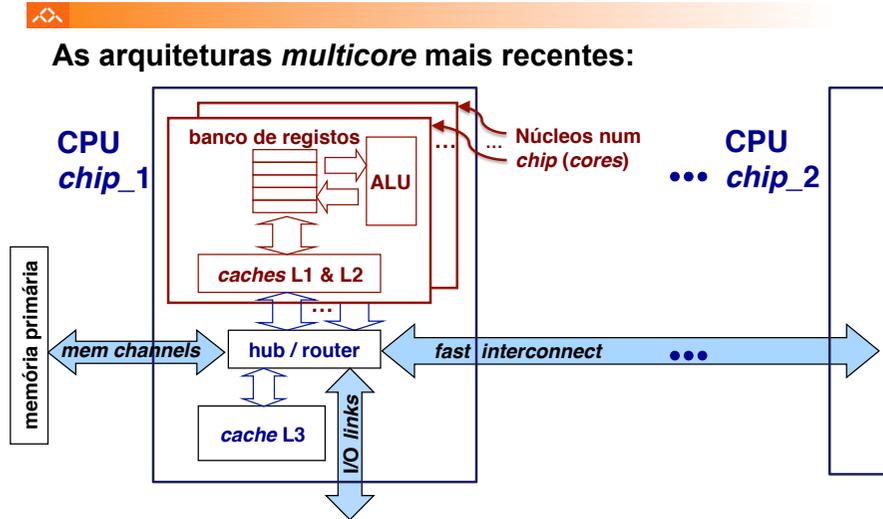
Chip layout anotado

Atom (ULV)	Feature size	x86
	600 nm	Pentium Pro (133 MHz)
	500 nm	Pentium Pro (150 MHz)
	350 nm	Pentium Pro (168–200 MHz)
		Klamath
	250 nm	P6 Deschutes
		Katmai
	180 nm	Coppermine
	130 nm	Tualatin
		Banias
	90 nm	Dothan
		Yonah
	65 nm	Merom
		Penryn
Bonnell	45 nm	Nehalem
		Westmere
	32 nm	Sandy Bridge Sandy Bridge
		Ivy Bridge
Silvermont	22 nm	Haswell Haswell
		Broadwell
	14 nm	Skylake Skylake
Goldmont		Kaby Lake
		<i>Coffee Lake</i>
		<i>Cannonlake</i>
	10 nm	Ice Lake Ice Lake
		<i>Tigerlake</i>

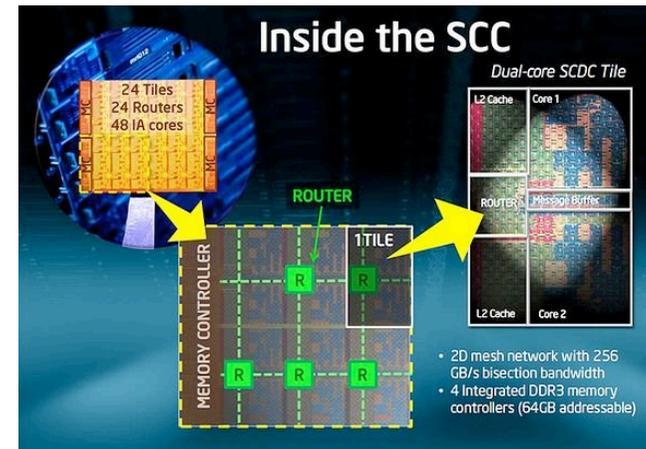
Intel CPU core roadmaps: from NetBurst and P6 to Tigerlake

- *Italic names* indicate canceled processors
- **Bold names** are the microarchitecture names
- **Bold italic names** are future processors

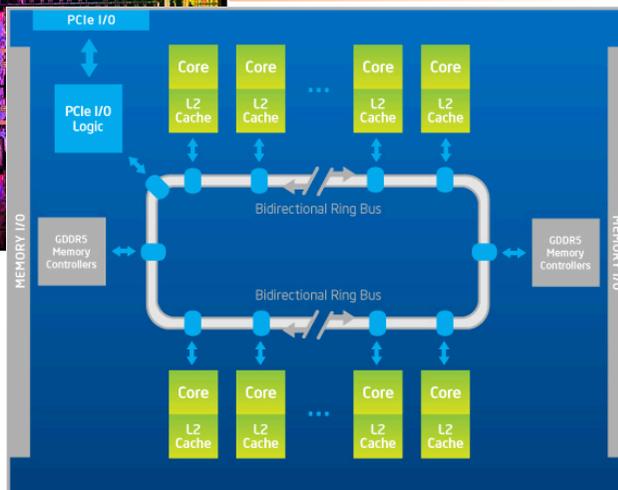
A hierarquia de cache em arquiteturas multicore



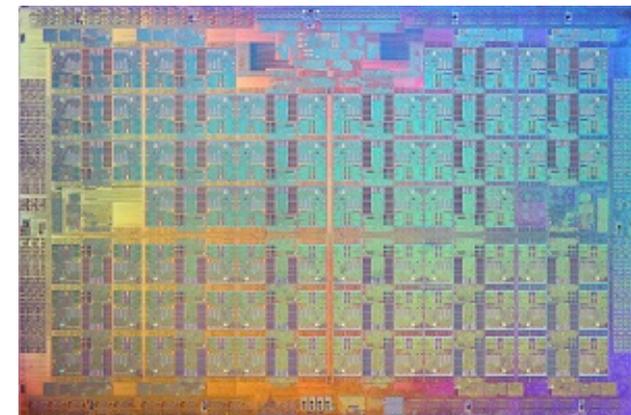
Protótipos da Intel em 2010/11:
Single-chip Cloud Computer



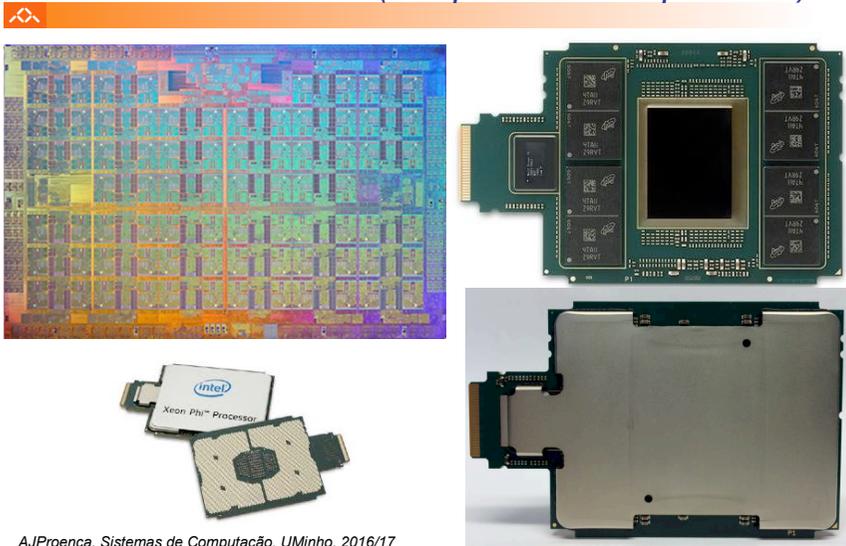
Chips da Intel em 2012/13:
Xeon Phi com 60 cores
(apenas como co-processador)



Chips da Intel em 2016:
Xeon Phi até 72 cores
(como processador ou co-processador)

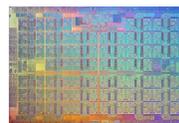


**Chips da Intel em 2016:
Xeon Phi até 72 cores
(como processador ou co-processador)**

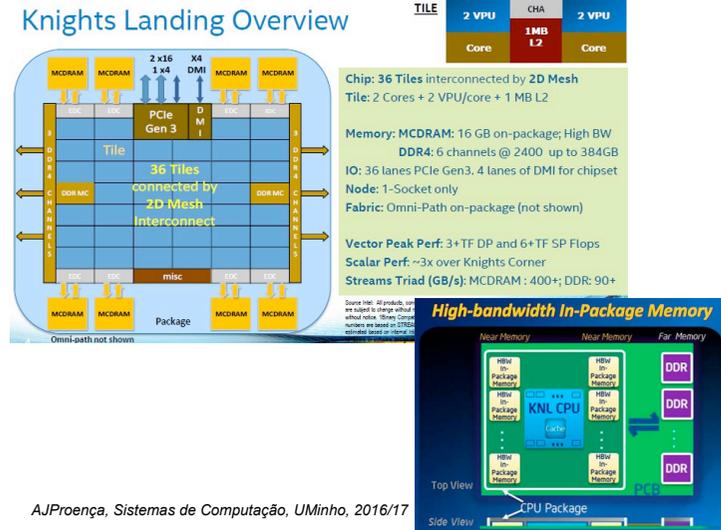


AJProença, Sistemas de Computação, UMinho, 2016/17

**Chips da Intel em 2016:
Xeon Phi até 72 cores
(como processador ou co-processador)**

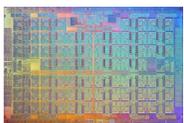


Knights Landing Overview



AJProença, Sistemas de Computação, UMinho, 2016/17

**Chips da Intel em 2016:
Xeon Phi até 72 cores
(como processador ou co-processador)**



Formerly codenamed Knights Landing

INTRODUCING THE INTEL® XEON PHI™ PROCESSOR

- Integrated Fabric**
- Bootable, Host CPU for Highly-Parallel Workloads**
- Integrated Memory**

Leadership performance... vs. CPU ACCELERATOR

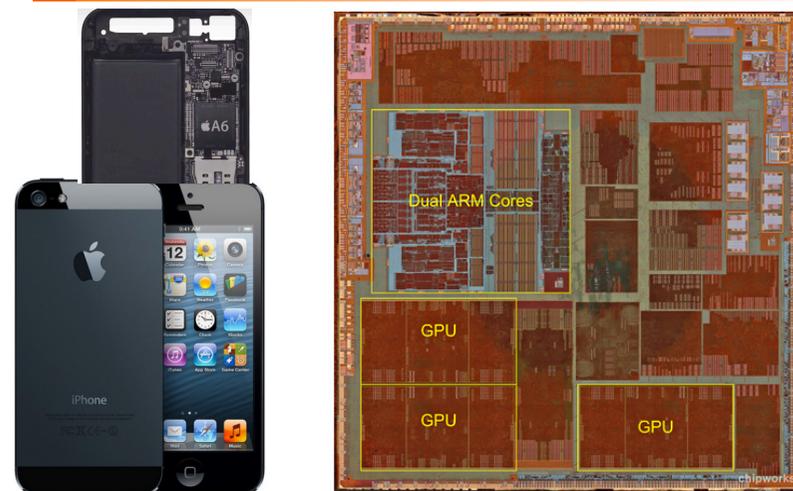
- Up to **5x** Performance¹
- Up to **8x** Performance/Watt²
- Up to **9x** Performance/USD³

...with all the benefits of a CPU

- ✓ Run Any Workload
- ✓ Programmability
- ✓ Power Efficient
- ✓ No PCIe* Bottleneck
- ✓ Large Memory Footprint
- ✓ Scalability & Future-Ready

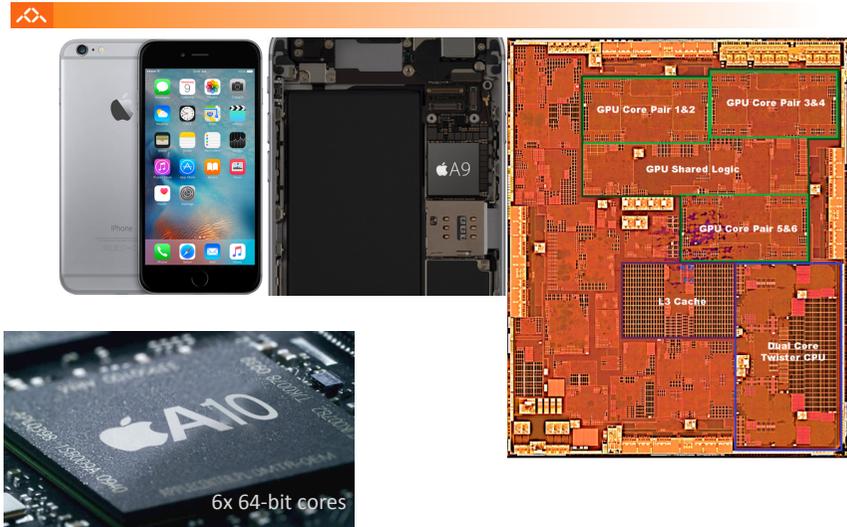
AJProença, Sistemas de Computação, UMinho, 2016/17

**Exemplo de chip com processadores RISC:
2x ARM's no A6 do iPhone 5**



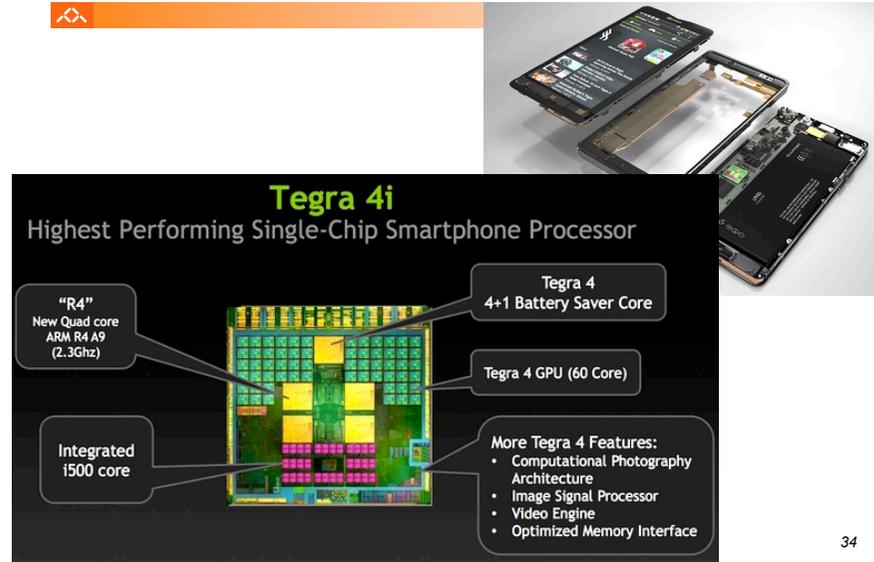
AJProença, Sistemas de Computação, UMinho, 2016/17

**Exemplo de chip com processadores RISC:
dos 2x ARM cores no A9 para 6x cores no A10 do último iPhone**

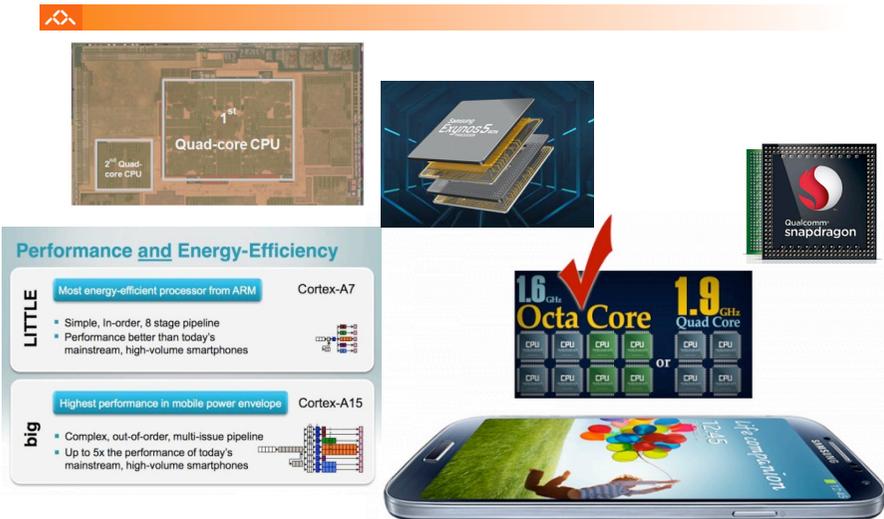


AJProença, Sistemas de Computação, UMinho, 2016/17

**Exemplo de chip com processadores RISC:
4+1 ARM's no Tegra 4i da Nvidia**

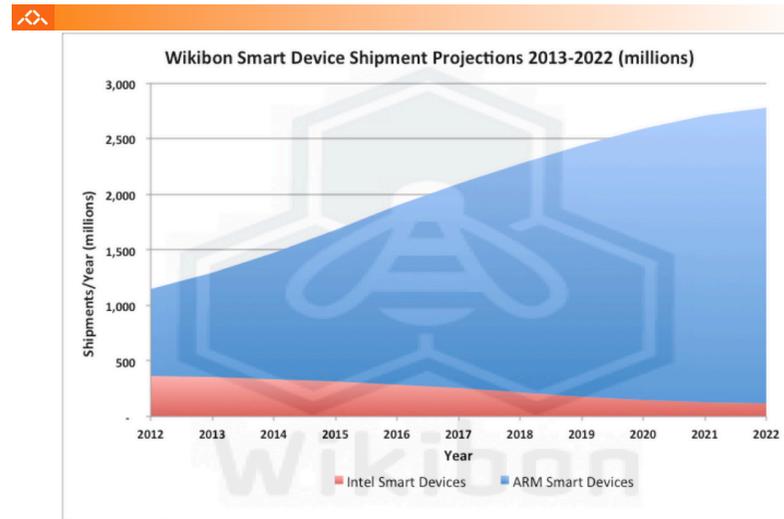


**Exemplo de chip com processadores RISC:
4+4 ARM's no Exynos 5 Octa, Galaxy S 4**



AJProença, Sistemas de Computação, UMinho, 2016/17

Processadores Intel versus ARM



Source: Wikibon 2013, IDC & Gartner 2012 shipments & Wikibon 2013-2022 projections. Assumption: Apple & Microsoft migrate to successful 64-bit ARM.

AJProença, Sistemas de Computação, UMinho, 2016/17