

## Estrutura do tema ISC

1. Representação de informação num computador
2. Organização e estrutura interna dum computador
3. Execução de programas num computador
4. O processador e a memória num computador
5. Da comunicação de dados às redes
6. Evolução da tecnologia e da eficiência

## Componentes (físicos) a analisar:

- a unidade de processamento / o processador:
  - o nível ISA (*Instruction Set Architecture*): tipos/formatos de instruções, acesso a operandos, CISC/RISC...
  - CISC versus RISC
  - **melhoria de eficiência** no processador: com paralelismo
  - **melhoramentos** fora do processador (ou *core*)
  - **evolução** da arquitetura x-86 da Intel
- a hierarquia de memória:
  - cache, memória virtual, ...
- periféricos...

## CISC versus RISC

### A “revolução” dos Reduced Instruction Set Computers

#### Caracterização das arquiteturas RISC

- conjunto reduzido e simples de instruções
- formatos simples de instruções
- uma operação elementar por ciclo máquina
- operandos sempre em registos
- modos simples de endereçamento à memória

#### Exemplos de arquiteturas RISC: em todos os *smartphones*!



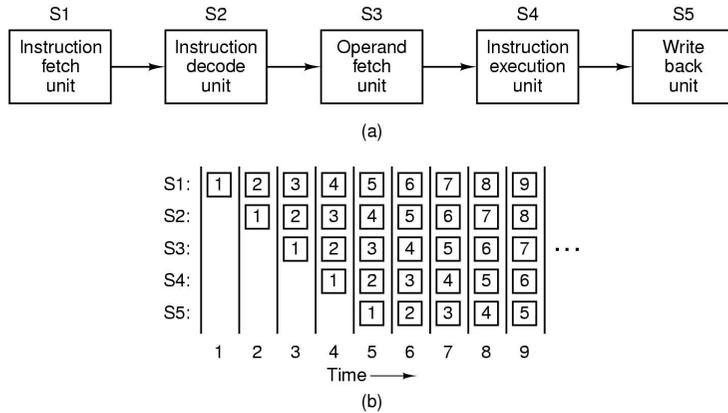
## Eficiência nos Sistemas de Computação: oportunidades para melhorar

### Oportunidades para melhorar o desempenho / eficiência

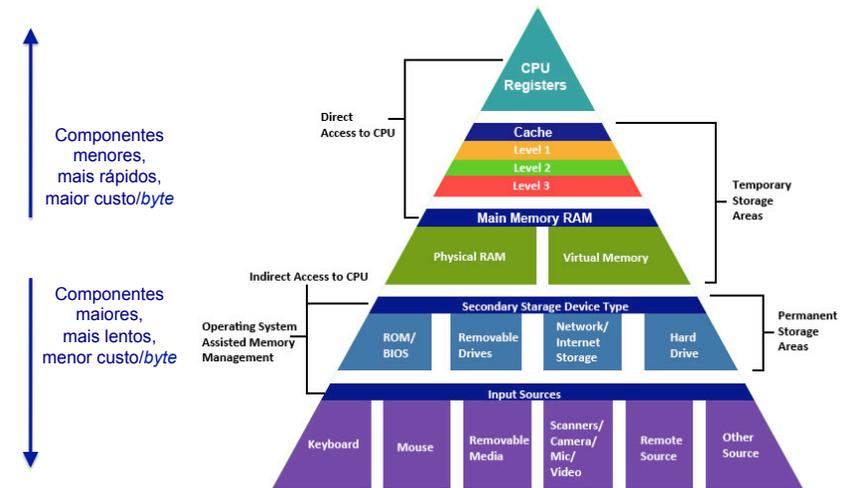
- com introdução de **paralelismo**
  - na execução de instruções em binário (*Instruction Level Parallelism*)
    - paralelismo desfasado ou execução encadeada (*pipeline*)
    - paralelismo nos dados (processamento vetorial, MMX/SSE/AVX...)
    - paralelismo nas operações (VLIW, super-escalar)
    - com execução de instruções fora de ordem (*out-of-order execution*)
  - no acesso à memória
    - paralelismo desfasado (*interleaving*)
    - paralelismo "real" (maior largura do *bus*)
  - ao nível da aplicação (sistemas concorrentes/paralelos/distribuídos)
    - com fios de execução (*multithreading* => *multicore/multichip c/ mem partilhada*)
    - com processos (com memória distribuída)
- com **hierarquia de memória** (para diminuir latência)
  - *cache* ...

**Paralelismo no processador:**  
exemplo

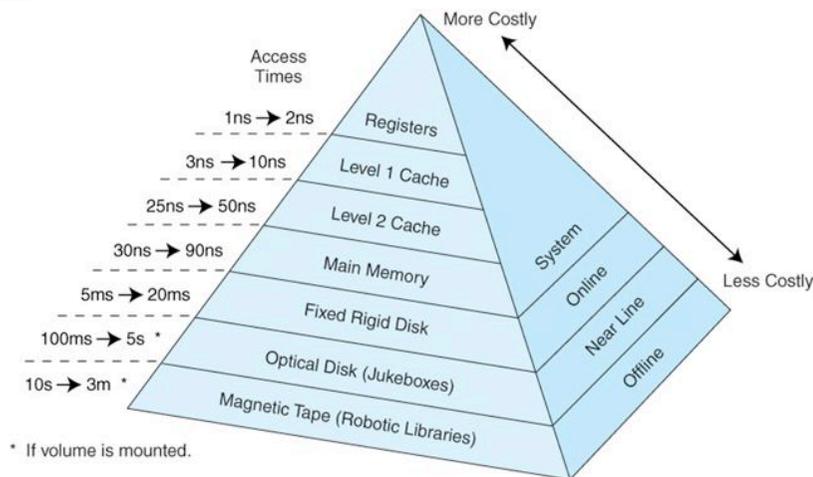
**Exemplo de pipeline**



**Hierarquia de memória (1)**

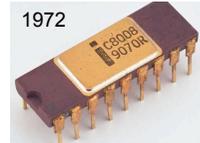


**Hierarquia de memória (2)**

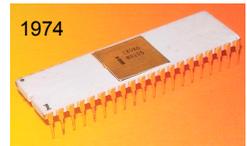


**Evolução dos processadores da Intel até à família Intel x86**

**4004:** 1º processador num único chip (microprocessador)



**8008 e 8080:** 1ºs microprocessadores de 8 bits



**8088 e 8086:** 1ºs microprocessadores de 16 bits (selecionados para o IBM PC)



**Evolução do Intel x86 : pré-Pentium  
(visão do programador)**

**Evolução do IA-32: família Pentium  
(visão do programador)**

Nome	Data	Nº transístores	
8086	1978	29K	<ul style="list-style-type: none"> <li>– processador 16-bits (registos + ALU); base do IBM PC &amp; DOS</li> <li>– espaço de endereçamento limitado a 1MB (DOS apenas vê 640K)</li> </ul>
80286	1982	134K	<ul style="list-style-type: none"> <li>– endereço 24-bits e protected-mode; base do IBM PC-AT &amp; Windows</li> </ul>
386	1985	275K	<ul style="list-style-type: none"> <li>→ <b>primeiro IA-32 !!</b></li> <li>– estendido para 32-bits: registos + op. inteiros + endereçamento</li> <li>– memória segmentada+paginada, capaz de correr Unix</li> </ul>
486	1989	1.9M	<ul style="list-style-type: none"> <li>– integração num único chip: 386, co-proc 387, até 16kB cache L1</li> <li>– poucas alterações na arquitetura interna do processador</li> </ul>

Pentium	1993	3.1M	( = <b>P5</b> , aka i586 )	<ul style="list-style-type: none"> <li>– arquitetura superescalar, com 2 pipelines de inteiros (de 5 níveis)</li> </ul>
PentiumPro	1995	5.5M	( = <b>P6</b> , aka i686 )	<ul style="list-style-type: none"> <li>– out-of-order execution, 14 níveis pipeline, 3-issue superscalar</li> <li>– endereço 36-bits, cache L2 on-package</li> </ul>
Pentium/MMX	1997	4.5M		<ul style="list-style-type: none"> <li>– SIMD: opera com vetores de 64-bits, tipo <code>int</code> de 1, 2, ou 4 bytes</li> </ul>
Pentium II	1997	7.5M	( = <b>Pro + MMX</b> )	
Pentium III	1999	8.2M	( +Celeron, +Xeon )	<ul style="list-style-type: none"> <li>– “Streaming SIMD Ext”, SSE: vetores 128-bits, <code>int/float</code> 1/2/4 bytes</li> </ul>
Pentium 4	2000	42M	( = <b>NetBurst</b> , aka i786 )	<ul style="list-style-type: none"> <li>– trace cache, pipeline muito longo (20 ou 31), suporta multi-threading</li> <li>– SSE2: mais instruções e com dados <code>float</code> de 8-bytes</li> </ul>
Pentium M	2003	77M	( = <b>P-M</b> )	<ul style="list-style-type: none"> <li>– arquitetura mais próxima do Pentium III (eficiência energética)</li> </ul>