



Estrutura do tema ISC

1. Representação de informação num computador
2. Organização e estrutura interna dum computador
3. Execução de programas num computador
4. O processador e a memória num computador
5. Evolução da tecnologia e da eficiência

Análise de componentes num computador



Componentes (físicos) a analisar:

- a unidade de processamento / o processador:
 - o nível ISA (*Instruction Set Architecture*):
tipos/formatos de instruções, acesso a operandos, CISC/RISC...
 - CISC *versus* RISC
 - **melhoria de eficiência** no processador: com paralelismo
 - **melhoramentos** fora do processador (ou *core*)
 - **evolução** da arquitetura x-86 da Intel
- a hierarquia de memória:
cache, memória virtual, ...
- periféricos...



A “revolução” dos Reduced Instruction Set Computers

Caracterização das arquiteturas RISC

- conjunto reduzido e simples de instruções
- formatos simples de instruções
- uma operação elementar por ciclo máquina
- operandos sempre em registos
- modos simples de endereçamento à memória

Exemplos de arquiteturas RISC: em todos os *smartphones*!



AJProença, Sistemas de Computação, UMinho, 2017/18

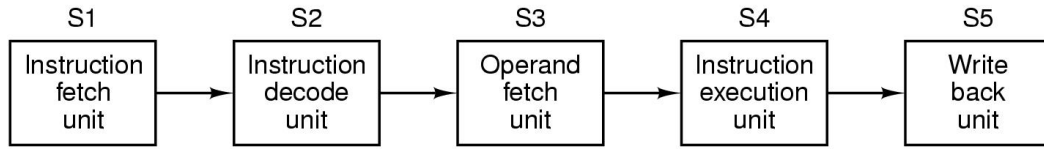
Eficiência nos Sistemas de Computação: oportunidades para melhorar



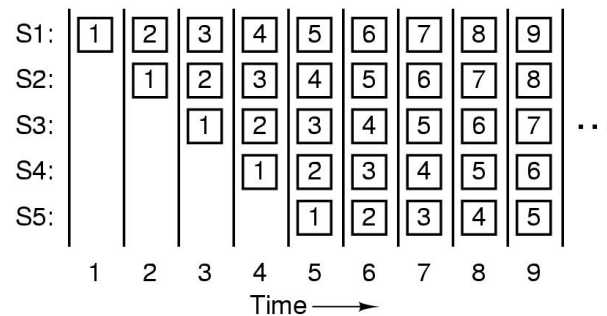
Oportunidades para melhorar o desempenho / eficiência

- com introdução de **paralelismo**
 - na execução de instruções em binário (*Instruction Level Parallelism*)
 - paralelismo desfasado ou execução encadeada (*pipeline*)
 - paralelismo nos dados (processamento vetorial, MMX/SSE/AVX...)
 - paralelismo nas operações (VLIW, super-escalar)
 - com execução de instruções fora de ordem (*out-of-order execution*)
 - no acesso à memória
 - paralelismo desfasado (*interleaving*)
 - paralelismo "real" (maior largura do *bus*)
 - ao nível da aplicação (sistemas concorrentes/paralelos/distribuídos)
 - com fios de execução (*multithreading* => *multicore/multichip c/* mem partilhada)
 - com processos (com memória distribuída)
- com **hierarquia de memória** (para diminuir latência)
 - *cache* ...

Exemplo de *pipeline*

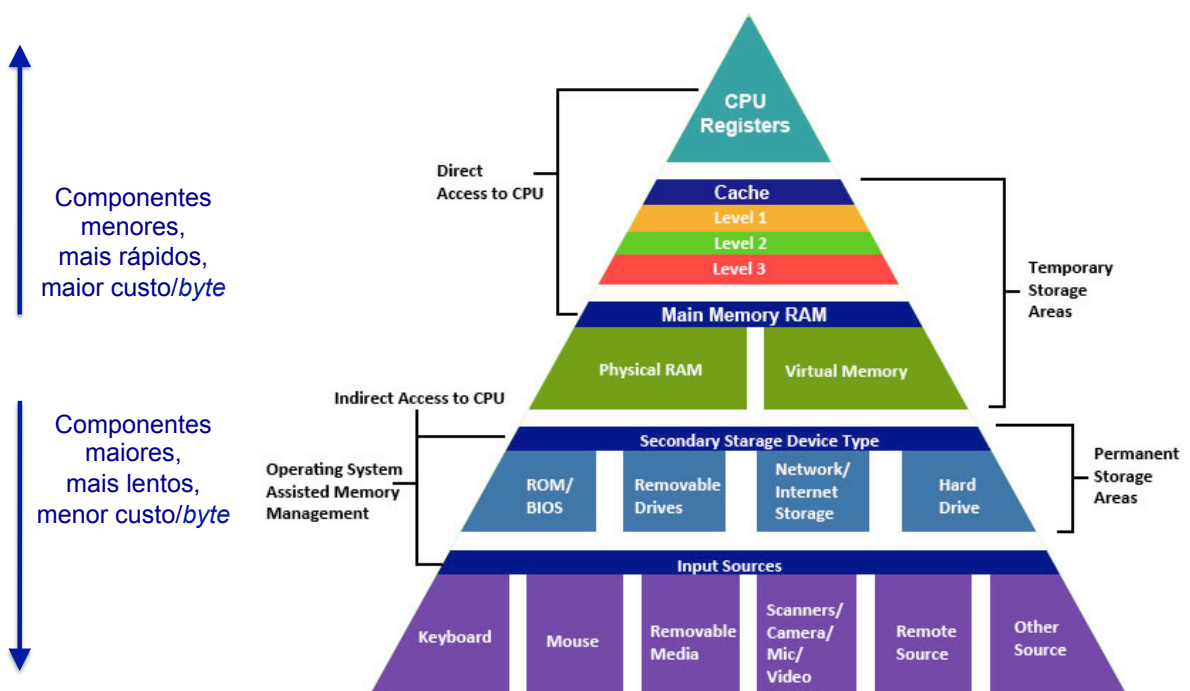


(a)

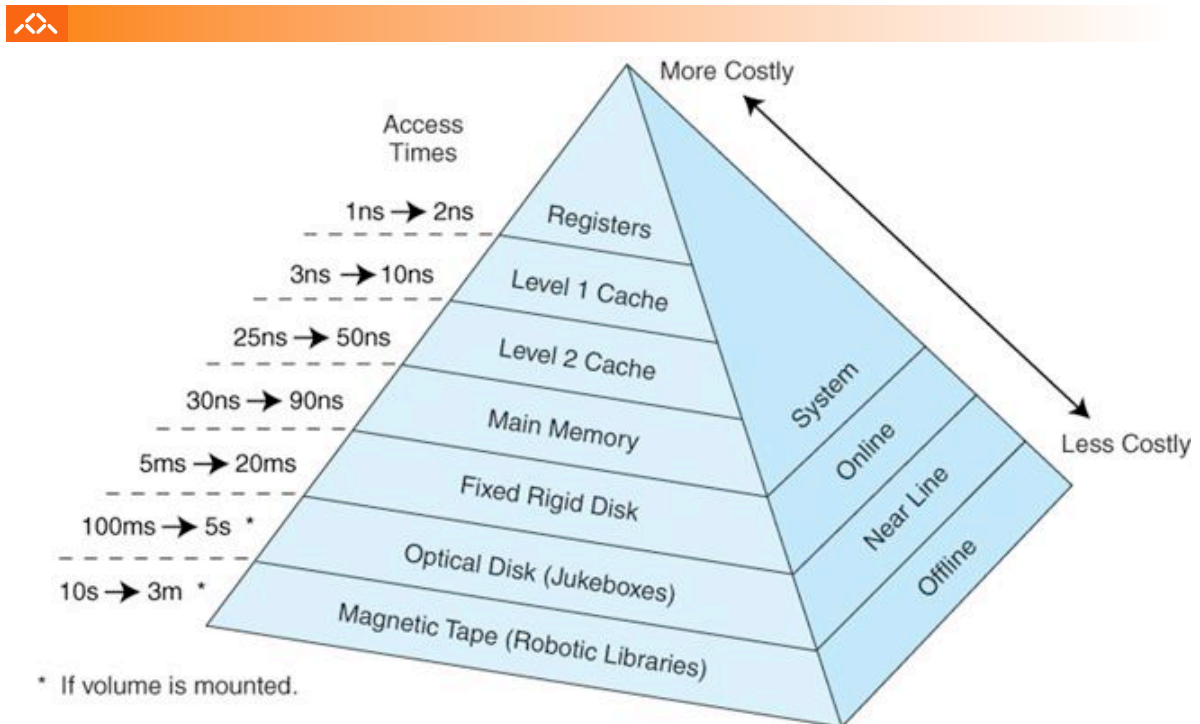


(b)

Hierarquia de memória (1)



Hierarquia de memória (2)



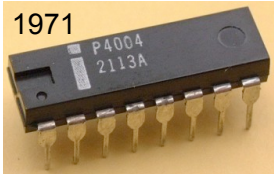
AJProença, Sistemas de Computação, UMinho, 2017/18

7

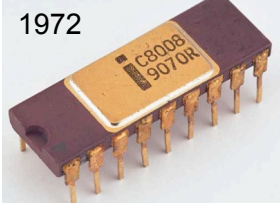
Evolução dos processadores da Intel até à família Intel x86

4004: 1º processador num único *chip* (microprocessador)

1971

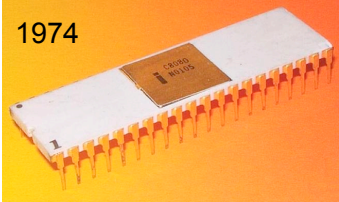


1972



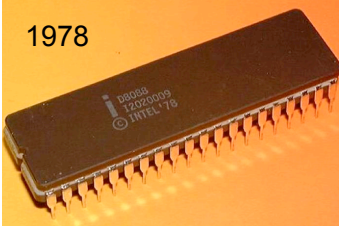
8008 e 8080: 1ºs microprocessadores de 8 bits

1974

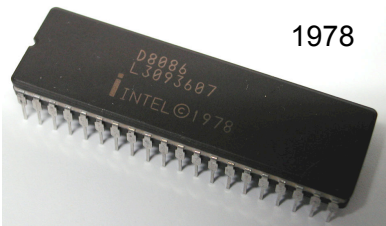


8088 e 8086: 1ºs microprocessadores de 16 bits (selecionados para o IBM PC)

1978



1978



AJProença, Sistemas de Computação, UMinho, 2017/18

8

Evolução do Intel x86 : pré-Pentium (visão do programador)



Nome	Data	Nº transístores	
8086	1978	29K	– processador 16-bits (registos + ALU); base do IBM PC & DOS – espaço de endereçamento limitado a 1MiB (DOS apenas vê 640Ki)
80286	1982	134K	– endereço 24-bits e protected-mode; base do IBM PC-AT & Windows
386	1985	275K	→ primeiro IA-32 !! – estendido para 32-bits: registos + op. inteiros + endereçamento – memória segmentada+paginada, capaz de correr Unix
486	1989	1.9M	– integração num único chip: 386, co-proc 387, até 16KiB cache L1 – poucas alterações na arquitetura interna do processador

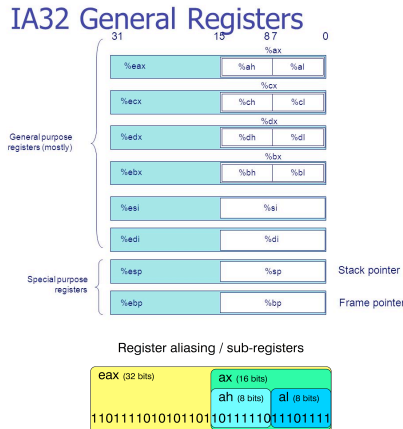
Evolução do IA-32: família Pentium (visão do programador)



Pentium	1993	3.1M	(= P5 , aka i586)
– arquitetura superescalar, com 2 pipelines de inteiros (de 5 níveis)			
PentiumPro	1995	5.5M	(= P6 , aka i686)
– out-of-order execution, 14 níveis pipeline, 3-issue superscalar – endereço 36-bits, cache L2 on-package			
Pentium/MMX	1997	4.5M	
– SIMD: opera com vetores de 64-bits, tipo <code>int</code> de 1, 2, ou 4 bytes			
Pentium II	1997	7.5M	(= Pro + MMX)
Pentium III	1999	8.2M	(+Celeron, +Xeon)
– “Streaming SIMD Ext”, SSE: vetores 128-bits, <code>int/fp</code> 1/2/4 bytes			
Pentium 4	2000	42M	(= NetBurst , aka i786)
– trace cache, pipeline muito longo (20 ou 31), suporta multi-threading – SSE2: mais instruções e com dados <code>fp</code> de 8-bytes			
Pentium M	2003	77M	(= P-M)
– arquitetura mais próxima do Pentium III (eficiência energética)			

Evolução do IA-32 para Intel 64 (visão do programador)

- IA-32 ou x86 open architecture cresce para 64-bits
 - HP e Intel propõem arquitetura incompatível c/ IA-32: IA-64 (Itanium PU)
 - AMD anuncia em 1999 extensão do x86: x86-64
 - Intel segue AMD: IA-32e (Fev-04), EM64T (Mar-04), ou **Intel 64** (2006)
 - AMD64 e Intel 64 diferentes, mas compiladores usam sub-set comum



x86-64 Integer Registers

%rax	%eax
%rbx	%ebx
%rcx	%ecx
%rdx	%edx
%rsi	%esi
%rdi	%edi
%rsp	%esp
%rbp	%ebp
%r8	%r8d
%r9	%r9d
%r10	%r10d
%r11	%r11d
%r12	%r12d
%r13	%r13d
%r14	%r14d
%r15	%r15d

- Twice the number of registers
- Accessible as 8, 16, 32, 64 bits

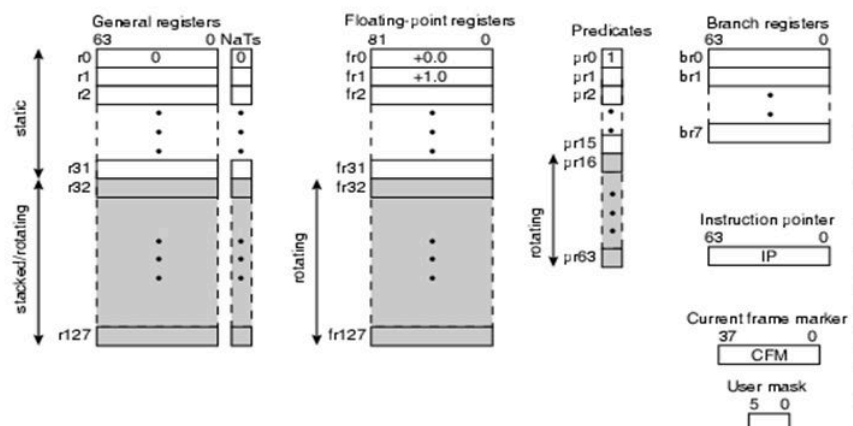
Intel 64 ≠ IA-64 (Itanium): nos registos

x86-64 Integer Registers

%rax	%eax	%r8	%r8d
%rbx	%ebx	%r9	%r9d
%rcx	%ecx	%r10	%r10d
%rdx	%edx	%r11	%r11d
%rsi	%esi	%r12	%r12d
%rdi	%edi	%r13	%r13d
%rsp	%esp	%r14	%r14d
%rbp	%ebp	%r15	%r15d

- Twice the number of registers
- Accessible as 8, 16, 32, 64 bits

IA-64 Register Set



Extensões de processamento vetorial no Intel 64



AJProença, Sistemas de Computação, UMinho, 2017/18

Next: AVX-512

13

Arquiteturas Intel 64 com maior integração (visão do programador)

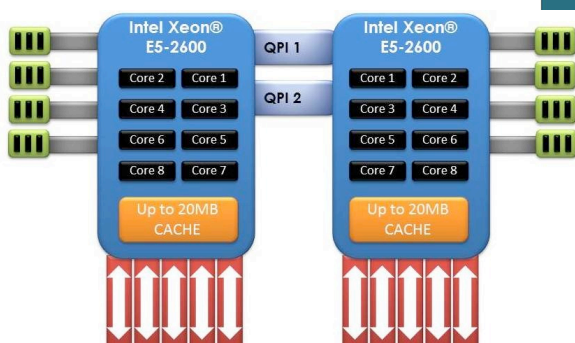
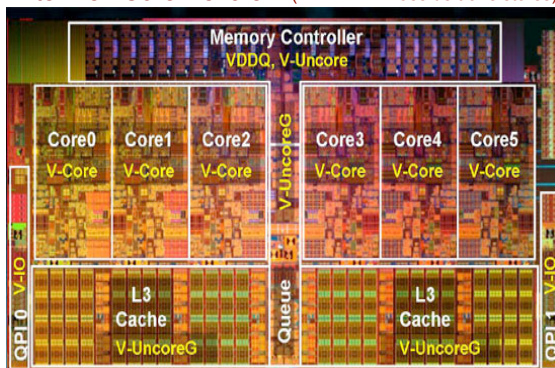


- arquitetura **Core** surge em 2006 (151M transístores)
 - desenvolvida pela mesma equipa que o P-M (Israel)
 - 14 níveis de pipeline (como P6), mas 4-issue superscalar
 - 2 níveis de cache on-chip
 - multi-core on-chip e virtualização por h/w
 - suporta fusão de instruções RISC (μ -ops na terminologia Intel)
 - arquitetura Core 2 é integralmente 64-bit (Intel 64)
- arquitetura **Nehalem** anunciada em 2008 (731M transístores)
 - inspirada no NetBurst (com multi-threading e maiores clock rates)
 - 2 a 8 cores por chip, com cache L3 on-chip
 - com conexão ponto-a-ponto inter-CPU_chips
 - integra controlador de memória numa arquitetura NUMA

Arquiteturas Intel 64 com maior integração (visão do programador)

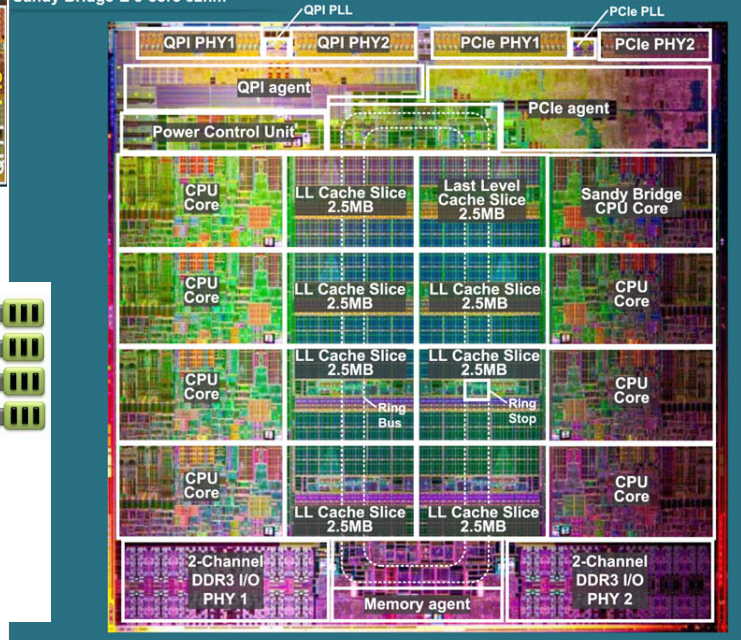
- arquitetura **Sandy Bridge** anunciada em 2010 (>1,000M transístores)
 - ensaio de arquitetura híbrida multicore, integrando o processador gráfico
 - interface com o processador gráfico através da cache L3
 - processamento vetorial de fp estendido para 256-bits (AVX)
 - integração no chip do interface PCIe 16x
- arquitetura **Haswell** anunciada em 2013 (>5,500M transístores)
 - nível adicional de cache para μ -ops (formato RISC)
 - processamento vetorial integral com 256-bits (AVX2)
 - 2 unidades vetoriais para operações com inteiros
 - até 22 cores e 55MB de cache L3 (Xeon)
 - introdução de cache L4 de 128MB, eDRAM (off-chip. on-package)
- arquitetura **Skylake** anunciada em 2015 (>8,000M transístores)
 - mais 1 unidade vetorial para operações com inteiros (total: 3)
 - AVX-512 para topo de gama Xeon (inexistente no 1º trimestre 2017)

Intel Hex-Core Nehalem (1.17 mil milhões de transístores)



Gerações de Pentium “de ontem”

Sandy Bridge-E 8-core 32nm

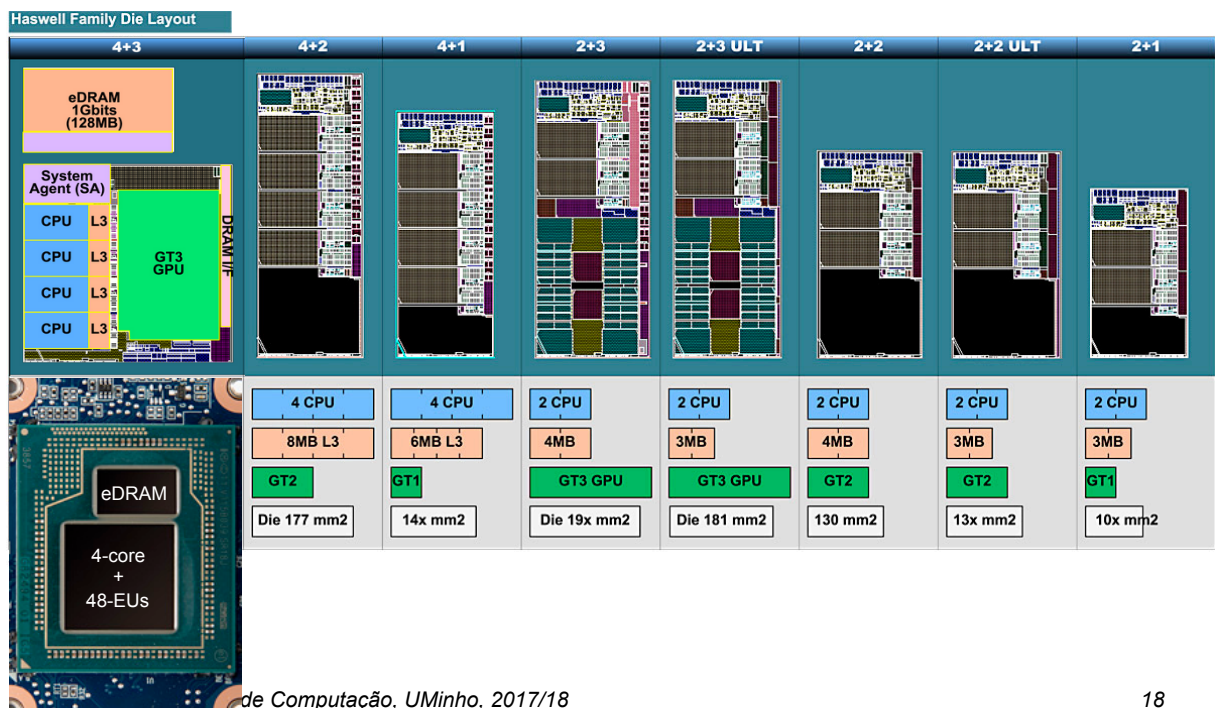


Arquiteturas Intel 64 com maior integração (visão do programador)



- arquitetura **Sandy Bridge** anunciada em 2010 (>1,000M transístores)
 - ensaio de arquitetura híbrida multicore, integrando o processador gráfico
 - interface com o processador gráfico através da cache L3
 - processamento vetorial de fp estendido para 256-bits (AVX)
 - integração no chip do interface PCIe 16x
- arquitetura **Haswell** anunciada em 2013 (>5,500M transístores)
 - nível adicional de cache para μ -ops (formato RISC)
 - processamento vetorial integral com 256-bits (AVX2)
 - 2 unidades vetoriais para operações com inteiros
 - até 22 cores e 55MB de cache L3 (Xeon)
 - introdução de cache L4 de 128MB, eDRAM (off-chip, on-package)
- arquitetura **Skylake** anunciada em 2015 (>8,000M transístores)
 - mais 1 unidade vetorial para operações com inteiros (total: 3)
 - AVX-512 para topo de gama Xeon (inexistente no 1º trimestre 2017)

Lançamento da Intel em 2013: 8 configurações para i5 & i7 Haswell

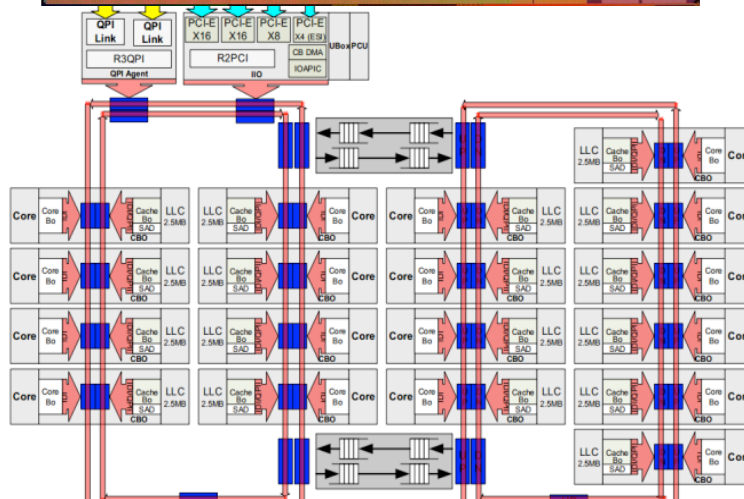


Haswell-E Family 18Cores



Copyright (c) 2014 Hiroshige Goto All rights reserved.

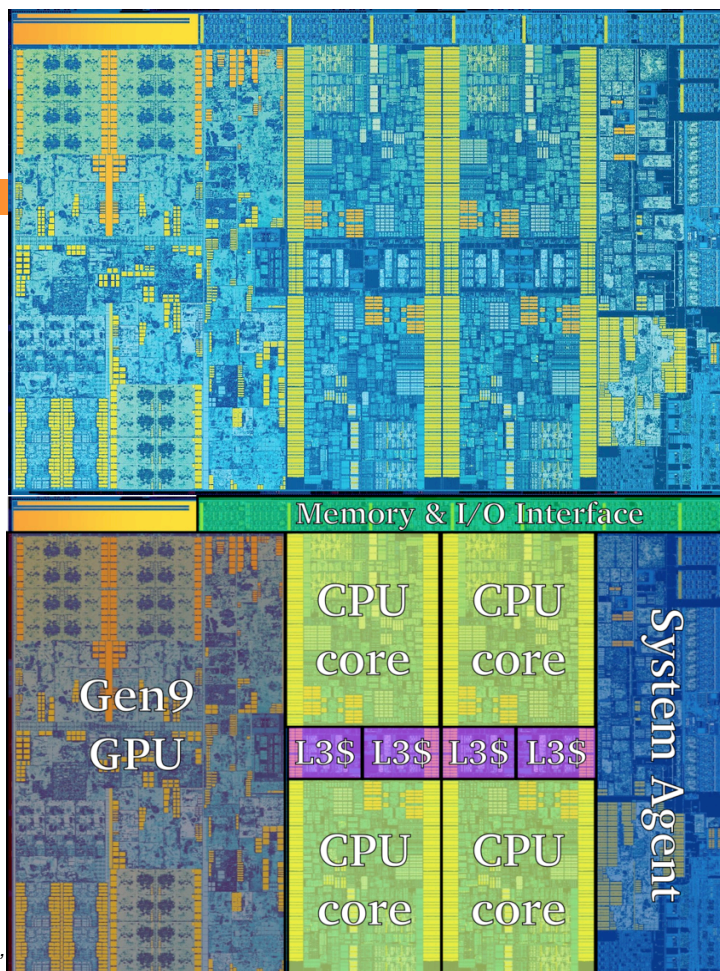
19



Arquiteturas Intel 64 com maior integração (visão do programador)



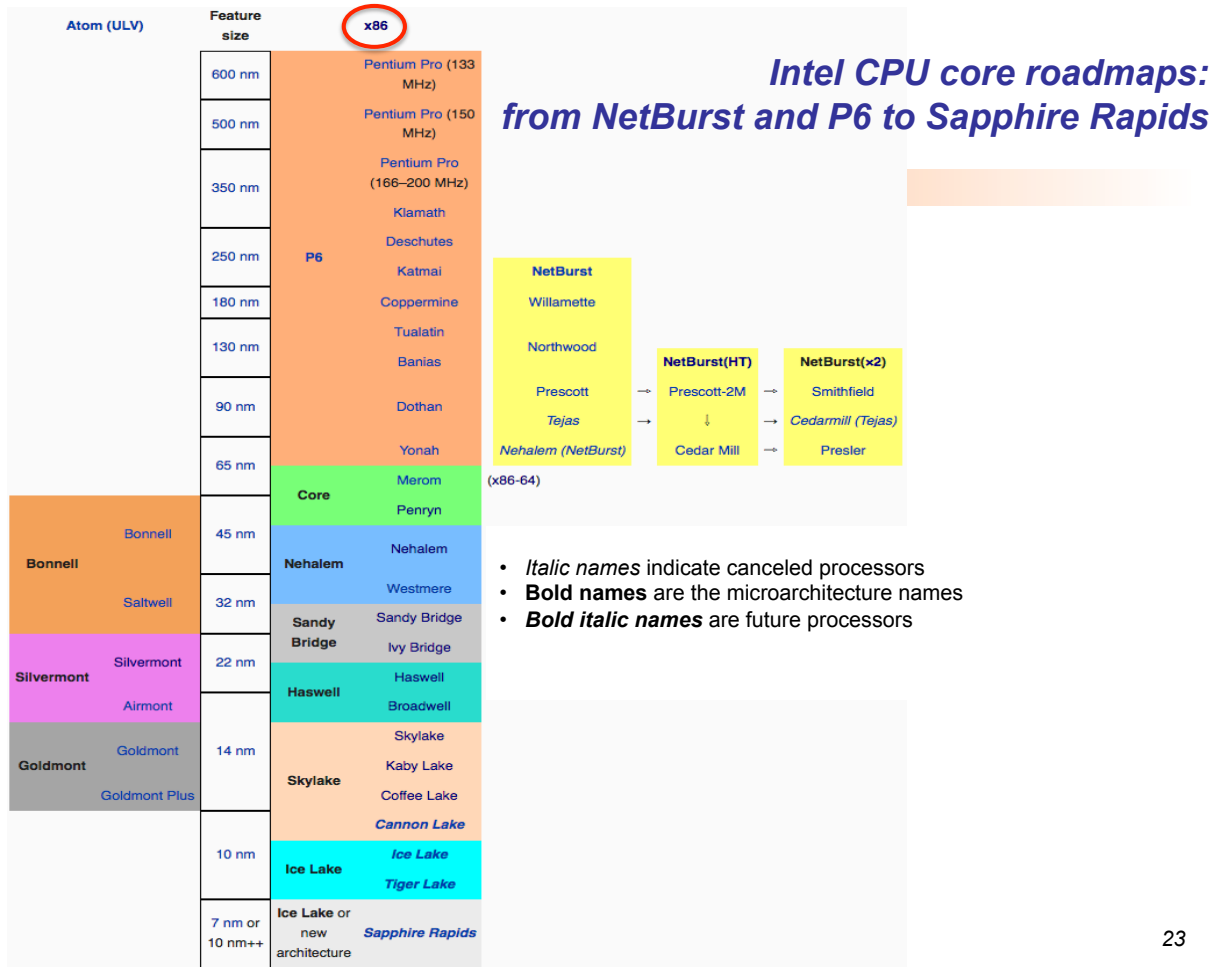
- arquitetura **Sandy Bridge** anunciada em 2010 (>1,000M transístores)
 - ensaio de arquitetura híbrida multicore, integrando o processador gráfico
 - interface com o processador gráfico através da cache L3
 - processamento vetorial de fp estendido para 256-bits (AVX)
 - integração no chip do interface PCIe 16x
- arquitetura **Haswell** anunciada em 2013 (>5,500M transístores)
 - nível adicional de cache para μ -ops (formato RISC)
 - processamento vetorial integral com 256-bits (AVX2)
 - 2 unidades vetoriais para operações com inteiros
 - até 22 cores e 55MB de cache L3 (Xeon)
 - introdução de cache L4 de 128MB, eDRAM (off-chip, on-package)
- arquitetura **Skylake** anunciada em 2015 (>8,000M transístores)
 - mais 1 unidade vetorial para operações com inteiros (total: 3)
 - AVX-512 para topo de gama Xeon (inexistente no 1º trimestre 2017)



**Intel 4-core
Xeon Skylake**

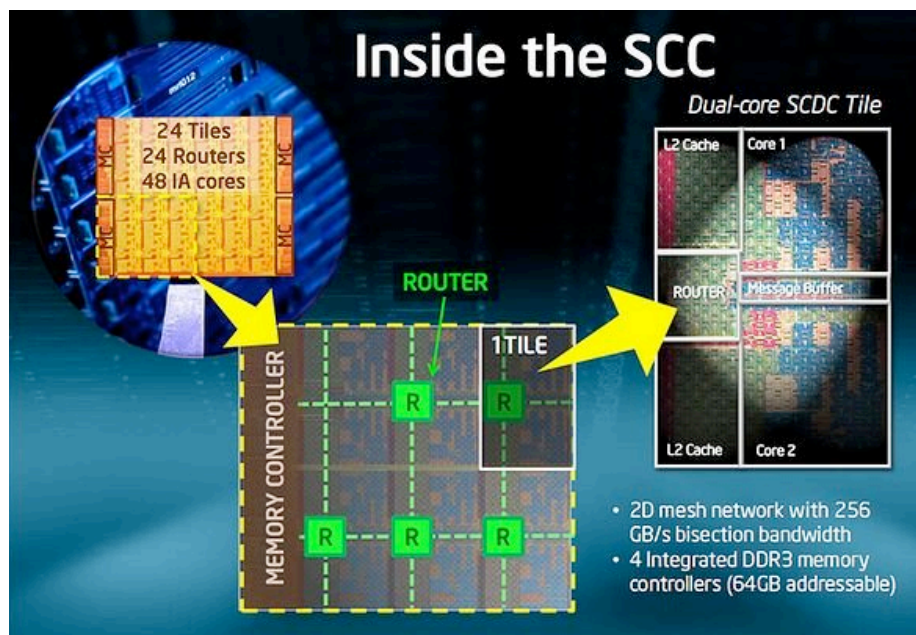
GPU integrado
com 24 EU's

Chip layout
anotado



23

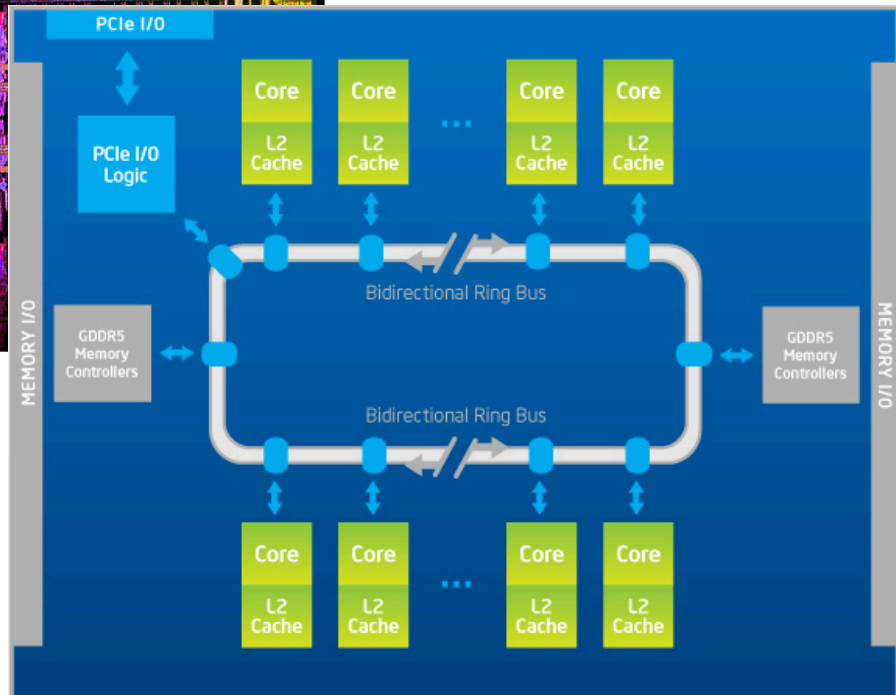
Protótipos da Intel em 2010/11: Single-chip Cloud Computer





**Knights Corner
KNC**

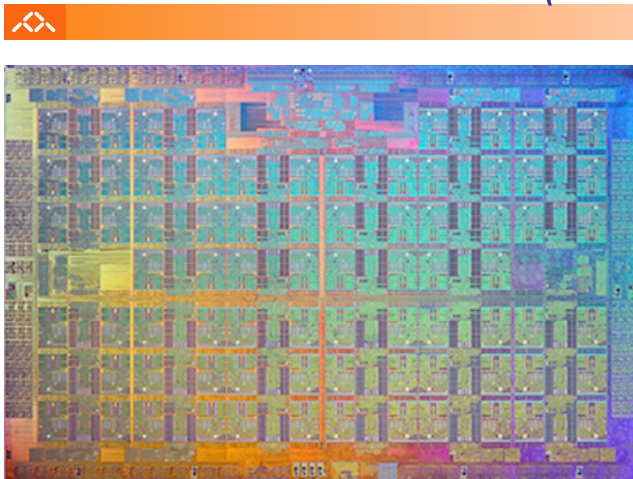
***Chips da Intel em 2012/13:
Xeon Phi com 60 cores
(apenas como co-processador)***



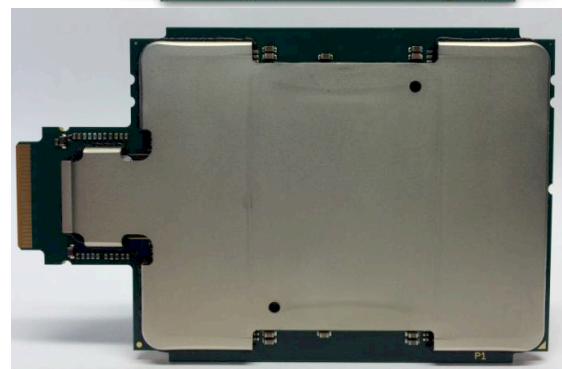
AJProença, Sistemas de Computação, UMinho, 2017/18

25

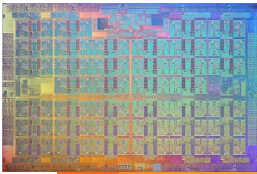
***Chips da Intel em 2016:
Xeon Phi até 72 cores
(como processador ou co-processador)***



**Knights Landing
KNL**



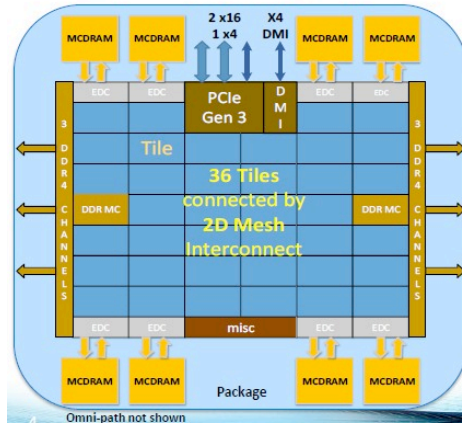
AJProença, Sistemas de Computação, UMinho, 2017/18



Chips da Intel em 2016: Xeon Phi até 72 cores (como processador ou co-processador)



Knights Landing Overview



TILE

2 VPU	CHA	2 VPU
Core	1MB L2	Core

Chip: 36 Tiles interconnected by 2D Mesh

Tile: 2 Cores + 2 VPU/core + 1 MB L2

Memory: MCDRAM: 16 GB on-package; High BW

DDR4: 6 channels @ 2400 up to 384 GB

IO: 36 lanes PCIe Gen3, 4 lanes of DMI for chipset

Node: 1-Socket only

Fabric: Omni-Path on-package (not shown)

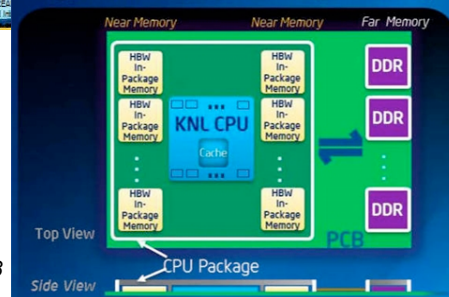
Vector Peak Perf: 3+TF DP and 6+TF SP Flops

Scalar Perf: ~3x over Knights Corner

Streams Triad (GB/s): MCDRAM : 400+; DDR: 90+

Source Intel. All products, components and specifications are subject to change without notice. Binary Computer numbers are based on STREAM estimated based on internal data.

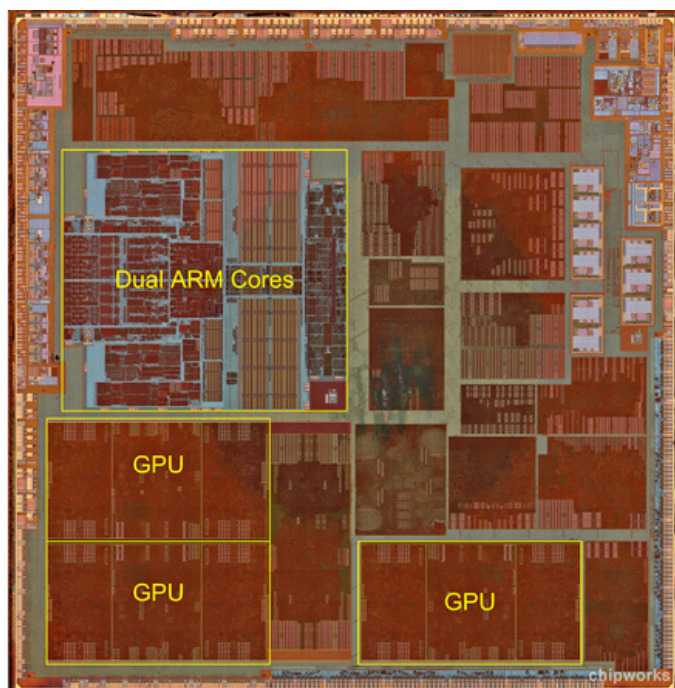
High-bandwidth In-Package Memory



AJProença, Sistemas de Computação, UMinho, 2017/18

27

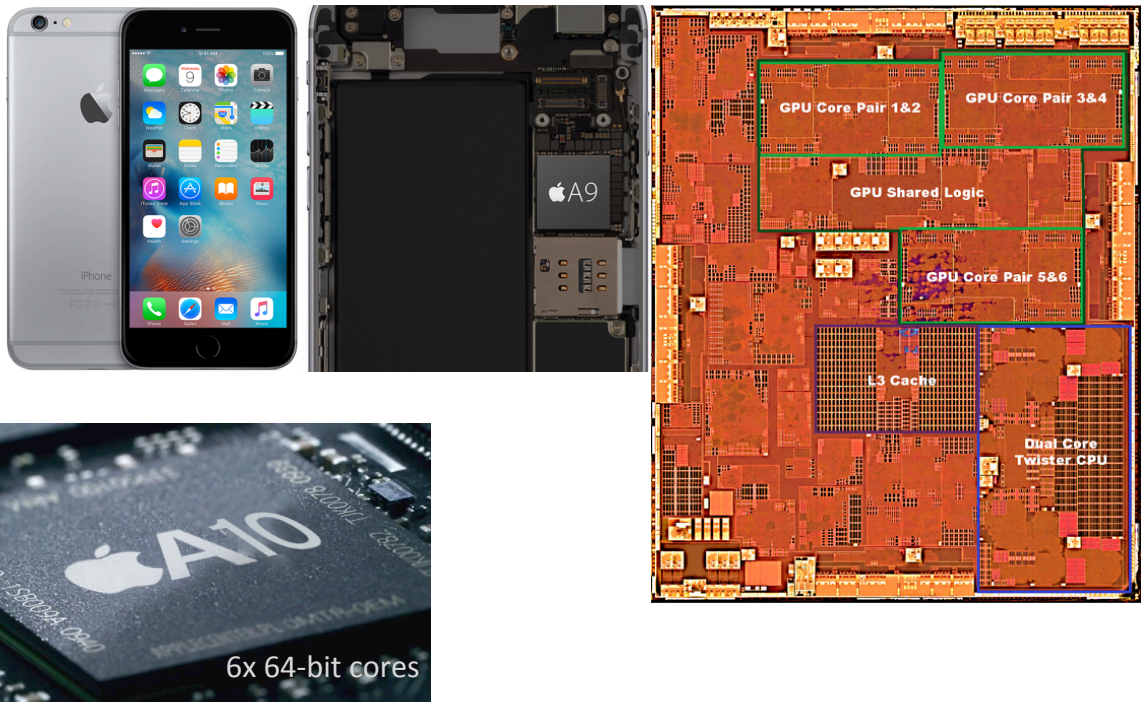
Exemplo de chip com processadores RISC: 2x ARM's no A6 do iPhone 5



AJProença, Sistemas de Computação, UMinho, 2017/18

28

**Exemplo de chip com processadores RISC:
dos 2x ARM cores no A9 para 6x cores no A10 do iPhone seguinte**



AJProença, Sistemas de Computação, UMinho, 2017/18

29

**Exemplo de chip com processadores RISC:
4+1 ARM's no Tegra 4i da NVidia**



Tegra 4i
Highest Performing Single-Chip Smartphone Processor

"R4"
New Quad core
ARM R4 A9
(2.3Ghz)

**Integrated
i500 core**

**Tegra 4
4+1 Battery Saver Core**

Tegra 4 GPU (60 Core)

More Tegra 4 Features:

- Computational Photography Architecture
- Image Signal Processor
- Video Engine
- Optimized Memory Interface

2013

30

Exemplo de chip com processadores RISC: evolução da família Tegra da Nvidia



TEGRA X1 CPU CONFIGURATION

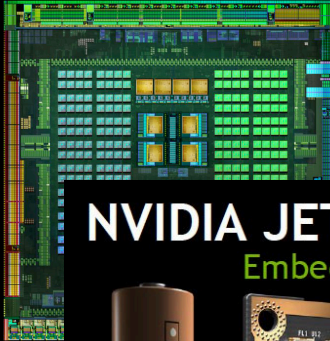
4 HIGH PERFORMANCE A57 BIG CORES

- 2MB L2 cache
- 48KB L1 instruction cache
- 32KB L1 data cache

4 HIGH EFFICIENCY A53 LITTLE CORES

- 512KB L2 cache
- 32KB L1 instruction cache
- 32KB L1 data cache

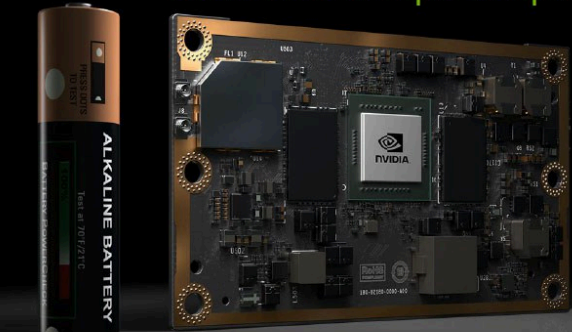
2015



2016

NVIDIA JETSON TX2

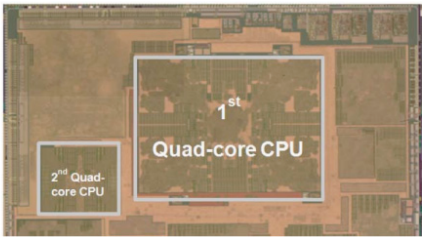
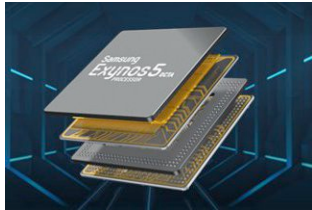
Embedded AI Supercomputer



AJProença, Sistemas de Computação, UMinho, 2017/18

Exemplo de chip com processadores RISC: 4+4 ARM's no Exynos 5 Octa, Galaxy S4



Performance and Energy-Efficiency

LITTLE

Most energy-efficient processor from ARM

Cortex-A7

- Simple, In-order, 8 stage pipeline
- Performance better than today's mainstream, high-volume smartphones

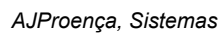
big

Highest performance in mobile power envelope

Cortex-A15

- Complex, out-of-order, multi-issue pipeline
- Up to 5x the performance of today's mainstream, high-volume smartphones



Year	Intel Smart Devices (millions)	ARM Smart Devices (millions)	Total Shipments (millions)
2012	400	700	1,100
2013	380	820	1,200
2014	360	940	1,300
2015	340	1,060	1,400
2016	320	1,180	1,500
2017	300	1,300	1,600
2018	280	1,420	1,700
2019	260	1,540	1,800
2020	240	1,660	1,900
2021	220	1,780	2,000
2022	200	1,900	2,100

Sources: Wikibon 2013, IDC 8, Gartner 2013 shipments & Wikibon 2013-2022 projections. Assumptions: Apple & Microsoft migrate to successful 64-bit ARM.

34